

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-177409

(P 2 0 0 1 - 1 7 7 4 0 9 A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl.⁷H03M 1/66
3/02

識別記号

F I

H03M 1/66
3/02

テームト (参考)

C 5J022
5J064

審査請求 未請求 請求項の数 6 O L (全13頁)

(21)出願番号 特願平11-357449

(22)出願日 平成11年12月16日(1999.12.16)

(71)出願人 000112451

日本フィリップス株式会社

東京都港区港南2-13-37 フィリップス
ビル

(72)発明者 岸田 雅也

東京都港区港南2丁目13番37号 フィリッ
プスビル 日本フィリップス株式会社内

(74)代理人 100087789

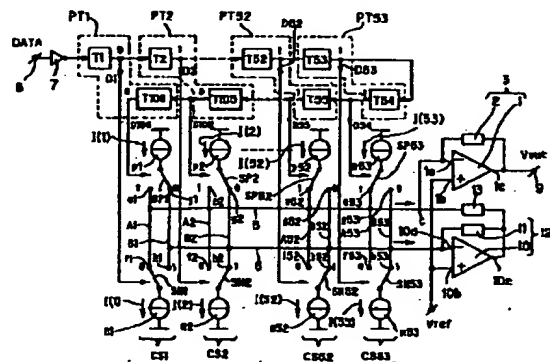
弁理士 津軽 進

Fターム(参考) 5J022 AB06 BA06 CB06 CF02 CF05
CF07

5J064 AA04 BC07 BC08 BC24 BD01

(54)【発明の名称】 D A変換器

(57)【要約】

【課題】コストの削減及び小型化が図られたD A変換器
を提供する。【解決手段】各遅延素子PT1~PT53に対応して、
電流源のペアCS1~CS53を備える。

【特許請求の範囲】

【請求項1】 シリアルに入力されたデジタルデータを
 パラレルに出力する複数の遅延素子と、前記複数の遅延
 素子のうち2つの遅延素子に対応して設けられた2つの
 電流源と、前記2つの電流源それぞれが接続される入力
 部を2つ有し、これら2つの入力部に入力された電流か
 らアナログデータを生成するアナログデータ生成手段
 と、前記2つの遅延素子それぞれから出力された2つの
 データに基づいて、前記2つの電流源が前記2つの入力
 部のうちの互いに異なる入力部に接続される第1のモード
 と、前記2つの電流源が互いに同じ入力部に接続され
 る第2のモードとのうちのいずれかのモードに切り換え
 る切換手段とを備えたことを特徴とするDA変換器。

【請求項2】 シリアルに入力されたデジタルデータを
 パラレルに出力する複数の遅延素子と、前記複数の遅延
 素子のうちの2つの遅延素子に対応して設けられた2つ
 の電流源と、前記2つの電流源それぞれが接続される入
 力部を2つ有し、これら2つの入力部に入力された電流
 からアナログデータを生成するアナログデータ生成手段
 と、前記2つの遅延素子それぞれから出力された2つの
 データに基づいて、前記2つの電流源が前記2つの入力
 部のうちの互いに異なる入力部に接続される第3のモード
 と、前記2つの電流源が前記2つの入力部から切断され
 る第4のモードとのうちのいずれかのモードに切り換え
 る切換手段とを備えたことを特徴とするDA変換器。

【請求項3】 前記切換手段が、前記2つの遅延素子の
 うちの一方の遅延素子から出力された1つのデータに基
 づいて、前記2つの電流源のうちの一方の電流源と前記
 2つの入力部それぞれとの接続を切り換える第1の切換
 部と、前記2つの遅延素子のうちの他方の遅延素子から
 出力された1つのデータに基づいて、前記2つの電流源
 のうちの他方の電流源と前記2つの入力部それぞれとの
 接続を切り換える第2の切換部とを備えたことを特徴と
 する請求項1に記載のDA変換器。

【請求項4】 前記切換手段が、前記2つの遅延素子そ
 れぞれから出力された2つのデータに基づいて、前記2
 つの電流源のうちの一方の電流源と前記2つの入力部と
 の接続及び切断を切り換える第3の切換部と、前記2つ
 のデータに基づいて、前記2つの電流源のうちの他方の
 電流源と前記2つの入力部との接続及び切断を切り換え
 る第4の切換部とを備えたことを特徴とする請求項2に
 記載のDA変換器。

【請求項5】 前記2つの電流源が、互いに同じ大きさ
 の電流を供給することを特徴とする請求項1又は2に記載
 のDA変換器。

【請求項6】 前記アナログデータ生成手段が、前記2
 つの入力部のうちの一方の入力部に入力された電流を、
 反対符号の電流に変換する符号変換手段、及び前記2つ
 の入力部のうちの他方の入力部に入力された電流と、前
 記符号変換手段により符号が変換された電流との和を電

圧に変換する電流電圧変換手段を備えたことを特徴とす
 る請求項1又は2に記載のDA変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電流源を備えたD
 A変換器に関する。

【0002】

【従来の技術】 図6は、従来より用いられているDA変
 換器の一例である、106タップのFIRフィルタを有
 するDA変換器を示す図である。

【0003】 このDA変換器はデジタル入力端子8を備
 えている。このデジタル入力端子8は、反転アンプ7を
 経由して、直列に接続された106個の遅延素子T1～
 T106に接続されている。遅延素子T1には、デジタ
 ル入力端子8から反転アンプ7を經由して‘0’及び
 ‘1’のいずれかの値で表される1ビットのデータがシ
 リアルに順次入力され、遅延素子T1に入力されたデー
 タは、最終段の遅延素子T106に向けて順次伝送され
 る。このとき、106個の遅延素子T1～T106は、
 遅延素子T1にシリアルに入力されたデータを、次段の
 遅延素子に出力するだけでなく、パラレルの時系列デー
 タD1～D106として出力する。このデータD1～D
 106は、後述するスイッチSP1、SN1；～；SP
 106、SN106に向けて伝送される。また、このD
 A変換器は、各遅延素子T1～T106に対応して、2
 つの電流源p1及びn1等からなる電流源のペアCS1
 ～CS106を備えている。電流源のペアCS1～CS
 106は、それぞれ、2つの電流源p1、n1；～；p
 106、n106から構成されている。これら電流源
 は、遅延素子T1～T106それぞれから出力されたデ
 ータD1～D106を重み付けするための量（重付量）
 に対応した電流を発生する。これら各電流源p1、n
 1；～；p106、n106は、図6において、各電流
 源の横に示された矢印の方向を正とした電流I（1）～
 I（106）を発生する。

【0004】 図7は、各電流源が発生する電流を表すグ
 ラフである。

【0005】 このグラフの横軸は、各電流源p1、n
 1；～；p106、n106を表し、縦軸は、各電流源
 が生成する電流である。

【0006】 電流源のペアCS1～CS106それぞれ
 を構成する2つの電流源は、互いに大きさの等しい電流
 を発生する。例えば、電流源のペアCS1について考え
 ると、2つの電流源p1及びn1は、互いに等しい電流
 I（1）を発生する（図6、図7参照）。その他の電流
 源のペアCS2、…、CS105、CS106について
 も、2つの電流源p2、n2；…；p105、n10
 5；p106、n106は、互いに等しい電流I
 （2）、…、I（105）、I（106）を発生する。

【0007】 尚、これら電流I（1）～I（106）

は、 $I(n) = I(107-n)$ の関係を満たしている (ただし、 $1 \leq n \leq 53$ n は整数)。例えば、 $n=1$ の場合を考えると、 $I(1) = I(106)$ である。従って、図7に示されている各電流 $I(1) \sim I(106)$ の大きさは、電流源のペア $CS53$ 及び $CS54$ が生成する電流を中心として左右対称になっている。

【0008】図6に戻って説明を続ける。

【0009】このDA変換器は、 I/V 変換器3及びダンパバッファ4を備えている。この I/V 変換器3はアンプ1及び抵抗2を備えており、この抵抗2の両端は、アンプ1の入力端子1a及び出力端子1cに接続されている。一方、ダンパバッファ4は、2つの入力端子4a及び4bのうちの一方の入力端子4aが出力端子4cに接続され、もう一方の入力端子4bが I/V 変換器3のアンプ1の入力端子1bに接続されている。

【0010】さらに、このDA変換器は、各電流源のペア $CS1 \sim CS106$ に対応して、2本の接続線 $A1, B1; \sim; A106, B106$ が備えられている。 I/V 変換器3のアンプ1の入力端子1aは、電流路5を経由して、2本の接続線 $A1, B1; \sim; A106, B106$ のうちの一方の接続線 $A1 \sim A106$ に接続されており、一方、ダンパバッファ4の入力端子4aは、電流路6を経由して、もう一方の接続線 $B1 \sim B106$ に接続されている。

【0011】各電流源のペア $CS1 \sim CS106$ に対応して備えられている2つのスイッチ $SP1, SN1; \sim; SP106, SN106$ は、各遅延素子 $T1 \sim T106$ それぞれから出力されるデータ $D1 \sim D106$ に応じて、各電流源 $p1, n1; \sim; p106, n106$ それぞれと、2本の接続線 $A1, B1; \sim; A106, B106$ それぞれとの接続を切り換えている。この接続の切り換えにより、各電流源は、 I/V 変換回路3又はダンパバッファ4に接続される。 I/V 変換回路3及びダンパバッファ4のうち、ダンパバッファ4は、デジタルデータをアナログデータに変換する作用には寄与せず、デジタルデータをアナログデータに変換する作用に寄与するのは、 I/V 変換回路3のみである。従って、 I/V 変換回路3に接続された電流源が発生する電流のみが、この I/V 変換回路3により電圧に変換され、アナログ出力端子9からアナログ信号が出力される。

【0012】

【発明が解決しようとする課題】上記のDA変換器は、106個の遅延素子 $T1 \sim T106$ それぞれに対応して、電流源のペア $CS1 \sim CS106$ を備える必要がある。つまり、106個の遅延素子 $T1 \sim T106$ に対して、106個の電流源 $p1 \sim p106$ と、106個の電流源 $n1 \sim n106$ とを備える必要があり、コスト高になるという問題や、DA変換器が大型化してしまうという問題がある。

【0013】本発明は、上記の事情に鑑み、コストの削

減及び小型化が図られたDA変換器を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成する本発明の第1のDA変換器は、シリアルに入力されたデジタルデータをパラレルに出力する複数の遅延素子と、上記複数の遅延素子のうち2つの遅延素子に対応して設けられた2つの電流源と、上記2つの電流源それぞれが接続される入力部を2つ有し、これら2つの入力部に入力された電流からアナログデータを生成するアナログデータ生成手段と、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源が上記2つの入力部のうちの互いに異なる入力部に接続される第1のモードと、上記2つの電流源が互いに同じ入力部に接続される第2のモードとのうちのいずれかのモードに切り換える切換手段とを備えたことを特徴とする。

【0015】本発明の第1のDA変換器では、2つの電流源が2つの遅延素子に対応して設けられており、切換手段が、上記2つの電流源とアナログデータ生成手段の入力部それぞれとの接続を、上記2つの遅延素子それぞれから出力された2つのデータに応じて切り換えている。従って、本発明の第1のDA変換器は、2つの電流源が1つの遅延素子に対応して設けられたDA変換器と比較して、電流源の数を減らすことができ、コストの削減及び小型化が図られる。

【0016】ここで、本発明の第1のDA変換器は、上記切換手段が、上記2つの遅延素子のうちの一方の遅延素子から出力された1つのデータに基づいて、上記2つの電流源のうちの一方の電流源と上記2つの入力部それぞれとの接続を切り換える第1の切換部と、上記2つの遅延素子のうちの他方の遅延素子から出力された1つのデータに基づいて、上記2つの電流源のうちの他方の電流源と上記2つの入力部それぞれとの接続を切り換える第2の切換部とを備えたことが好ましい。

【0017】第1及び第2の切換部を備えることにより、2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源それぞれと2つの入力部それぞれとの接続を切り換えることができる。

【0018】また、上記目的を達成する本発明の第2のDA変換器は、シリアルに入力されたデジタルデータをパラレルに出力する複数の遅延素子と、上記複数の遅延素子のうちの2つの遅延素子に対応して設けられた2つの電流源と、上記2つの電流源それぞれが接続される入力部を2つ有し、これら2つの入力部に入力された電流からアナログデータを生成するアナログデータ生成手段と、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源が上記2つの入力部のうちの互いに異なる入力部に接続される第3のモードと、上記2つの電流源が上記2つの入力部から切断される第4のモードとのうちのいずれかのモードに切り換

える切換手段とを備えたことを特徴とする。

【0019】本発明の第2のDA変換器では、2つの電流源が2つの遅延素子に対応して設けられており、切換手段が、2つの電流源とアナログデータ生成手段の入力部との接続及び切断を、2つの遅延素子それぞれから出力された2つのデータに応じて切り換えている。従って、本発明の第2のDA変換器は、2つの電流源が1つの遅延素子に対応して設けられたDA変換器と比較して、電流源の数を減らすことができ、コストの削減及び小型化が図られる。

【0020】ここで、本発明の第2のDA変換器は、上記切換手段が、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源のうちの一方の電流源と上記2つの入力部との接続及び切断を切り換える第3の切換部と、上記2つのデータに基づいて、上記2つの電流源のうちの他方の電流源と上記2つの入力部との接続及び切断を切り換える第4の切換部とを備えたことが好ましい。

【0021】第3及び第4の切換部を備えることにより、2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源それぞれと上記2つの入力部との接続及び切断を切り換えることができる。

【0022】また、本発明の第1及び第2のDA変換器は、上記2つの電流源が、互いに同じ大きさの電流を供給することが好ましい。

【0023】また、本発明の第1及び第2のDA変換器は、上記アナログデータ生成手段が、上記2つの入力部のうちの一方の入力部に入力された電流を、反対符号の電流に変換する符号変換手段、及び、上記2つの入力部のうちの他方の入力部に入力された電流と、上記符号変換手段により符号が変換された電流との和を電圧に変換する電流電圧変換手段を備えたことが好ましい。

【0024】符号変換手段及び電流電圧変換手段を備えることにより、2つの入力部それぞれを流れる電流の向きが反対であっても、これら電流の向きを一致させて電圧に変換することができる。

【0025】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0026】図1は、本発明の第1のDA変換器の一実施形態のDA変換器を示す図である。

【0027】このDA変換器はデジタル入力端子8を備えている。このデジタル入力端子8は、反転アンプ7を経由して、直列に接続された106個の遅延素子T1～T106に接続されている。遅延素子T1には、デジタル入力端子8から反転アンプ7を経由して‘0’及び‘1’のいずれかの値で表される1ビットのデータがシリアルに順次入力され、遅延素子T1に入力されたデータは、最終段の遅延素子T106に向けて順次伝送される。このとき、106個の遅延素子T1～T106は、

遅延素子T1にシリアルに入力されたデータを、パラレルの時系列データD1～D106として出力し、各遅延素子T1～T106から出力されたデータD1～D106は、後述するスイッチSP1, SN1;…;SP53, SN53に向けて伝送される。また、このDA変換器は、2つの遅延素子からなる遅延素子のペアPT1～PT53に対応して、2つの電流源からなる電流源のペアCS1～CS53を53組備えている。ここでは、遅延素子のペアPTnは、2つの遅延素子Tn及びT(107-n)から構成されている(ただし、 $1 \leq n \leq 53$, nは整数)。また、電流源のペアCS1～CS53は、それぞれ、2つの電流源p1, n1;…;p53, n53から構成されている。各電流源p1, n1;…;p53, n53が生成する電流は、図7のグラフに示された各電流源p1, n1;…;p53, n53が生成する電流と等しい。

【0028】また、このDA変換器は、電流源のペアCS1～CS53に対応して、2本の接続線A1, B1;…;A53, B53が備えられており、各電流源p1, n1;…;p53, n53それぞれは、スイッチSP1, SN1;…;SP53, SN53それぞれにより、2本の接続線A1, B1;…;A53, B53それぞれに切換自在に接続される。

【0029】また、このDA変換器は、図6に示すI/V変換器3と同一構造のI/V変換器3を備えており、さらに、このI/V変換器3とは別に、もう1つのI/V変換器12を備えている。このI/V変換器12はアンプ10と抵抗11とを備えており、この抵抗11の両端は、アンプ10の入力端子10a及び出力端子10cに接続されている。I/V変換器3の入力端子1aと、I/V変換器12の出力端子10cとは、抵抗13を経由して互いに接続されている。また、I/V変換器3の入力端子1bと、I/V変換器12の入力端子10bは、互いに接続されている。さらに、I/V変換器3の入力端子1aは、電流路5を経由して、電流源のペアCS1～CS53それぞれに対応して備えられた2本の接続線A1, B1;…;A53, B53のうちの1本の接続線A1～A53に接続されている。また、I/V変換器12の入力端子10aは、電流路6を経由して、2本の接続線A1, B1;…;A53, B53のうちのもう一方の接続線B1～B53に接続されている。

【0030】また、このDA変換器には、上記のように、電流源のペアCS1～CS53それぞれに対応して、2つのスイッチSP1, SN1;…;SP53, SN53が備えられている。これら2つのスイッチSP1, SN1;…;SP53, SN53は、遅延素子のペアPT1～PT53を構成する2つの遅延素子T1, T106;…;T53, T54それぞれが出力するデータに応じて、対応する電流源のペアCS1～CS53を構成する2つの電流源が、2本の接続線A1, B1;…;

A53, B53のうちのどちらの接続線に接続されるかを切り換えている。以下、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1;...; SP53, SN53により切り換えられる様子について具体的に説明する。

【0031】尚、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1;...; SP53, SN53により切り換えられる様子は、電流源のペアCS1~CS53のうちのどの電流源のペアでも同様に説明できるため、ここでは、代表して、電流源のペアCS1を取り上げ、この電流源のペアCS1の接続が2つのスイッチSP1, SN1により切り換えられる様子について説明する。

【0032】遅延素子のペアPT1を構成する2つの遅延素子T1及びT106それぞれから出力されたデータがいずれも‘0’の場合、スイッチSP1は、接続線B1の端子g1に接続され、もう一方のスイッチSN1は接続線A1の端子f1に接続される（本発明にいう第1のモードに相当する）。これにより、電流源のペアCS1を構成する一方の電流源p1はI/V変換回路12の入力端子10aに接続され、もう一方の電流源n1はI/V変換回路3の入力端子1aに接続される。これに対し、2つの遅延素子T1, T106それぞれから出力されたデータがいずれも‘1’の場合、スイッチSP1は接続線A1の端子e1に接続され、もう一方のスイッチSN1が接続線B1の端子h1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる（本発明にいう第1のモードに相当する）。これにより、今度は逆に、電流源p1がI/V変換回路3の入力端子1aに接続され、もう一方の電流源n1がI/V変換回路12の入力端子10aに接続される。さらに、2つの遅延素子T1, T106それぞれから出力されたデータの一方が‘0’、他方が‘1’の場合、各スイッチSP1及びSN1は、互いに同じ接続線に接続される（本発明にいう第2のモードに相当する）。具体的には、遅延素子T1から出力されたデータが‘0’、遅延素子T106から出力されたデータが‘1’の場合、各スイッチSP1及びSN1は接続線A1に接続され、一方、遅延素子T1から出力されたデータが‘1’、遅延素子T106から出力されたデータが‘0’の場合、各スイッチSP1及びSN1は、接続線B1に接続される。その他の2つのスイッチSP2, SN2;...; SP53, SN53についても、対応する2つの遅延素子それぞれから出力されたデータに応じて、スイッチSP1及びSN1と同様に動作する。

【0033】上記のように構成された図1に示すDA変換器にデジタルデータを入力することにより得られるアナログデータと、図6に示す従来のDA変換器にデジタルデータを入力することにより得られるアナログデータは、入力されるデジタルデータが同じであれば、互いに

同じアナログデータを出力する。以下に、図1及び図6に示すDA変換器が互いに同じアナログデータを出力する様子について説明する。

【0034】図1に示すDA変換器において、遅延素子T1に‘0’又は‘1’の1ビットのデータがシリアルに順次入力されると、各遅延素子T1~T106それぞれは、次段の遅延素子にデータを出力する。このとき、106個の遅延素子T1~T106は、次段の遅延素子にデータを出力するだけでなく、パラレルの時系列データD1~D106を出力する。このとき、電流源のペアに対応して備えられた2つのスイッチSP1, SN1; SP2, SN2;...; SP52, SN52; SP53, SN53は、遅延素子のペアを構成する2つの遅延素子T1, T106; T2, T105;...; T52, T55; T53, T54それぞれから出力されたデータに応じて、各電流源をI/V変換回路3及び12のいずれかのI/V変換回路に接続する。ここで、遅延素子のペアPT1~PT53のうち、遅延素子のペアPT1に着目する。この遅延素子のペアPT1を構成する2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、電流源p1は接続線B1の端子g1に接続され、もう一方の電流源n1は接続線A1の端子f1に接続される。従って、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。これにより、電流源n1からは、電流路5を経由して、抵抗13とI/V変換回路3の入力端子1aとの接続点Cに向けて負の電流 $-I(1)$ が流れる。一方、電流源p1からは、I/V変換回路12の入力端子10aに向けて正の電流 $I(1)$ が流れ、この正の電流 $I(1)$ はI/V変換回路12により電圧に変換される。このI/V変換回路12は反転回路であるため、I/V変換回路12の出力端子10cには負の電圧が生じる。この出力端子10cに生じた負の電圧は抵抗13により電流に変換され、抵抗13とI/V変換回路3の入力端子1aとの接続点Cに伝送される。結局、電流源p1がI/V変換回路12に接続されることにより、電流源p1から接続点Cに向かって、正の電流 $I(1)$ の符号が反転された負の電流 $-I(1)$ が流れることになる。従って、電流源p1及びn1がI/V変換回路12及び3に接続されると、各電流源p1及びn1それぞれから接続点Cに向かって負の電流 $-I(1)$ が流れることになり、この接続点Cにおいて、電流源p1による負の電流 $-I(1)$ と、電流源n1による負の電流 $-I(1)$ とが加えられる。このため、I/V変換回路3の入力端子1aには、 $-I(1) - I(1) = -2I(1)$ の電流が流れ込み、アナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じることになる。

【0035】次に、この2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’及び

‘1’の場合、電流源 $p1$ は接続線A1の端子 $e1$ に接続され、もう一方の電流源 $n1$ は接続線B1の端子 $h1$ に接続される。従って、今度は逆に、電流源 $p1$ は I/V 変換回路3の入力端子 $1a$ に接続され、電流源 $n1$ は I/V 変換回路12の入力端子 $10a$ に接続される。これにより、電流源 $p1$ からは、接続点Cに向けて正の電流 $I(1)$ が流れる。一方、電流源 $n1$ からは、 I/V 変換回路12の入力端子 $10a$ に向けて負の電流 $-I$

(1)が流れ、この負の電流 $-I(1)$ が I/V 変換回路12により電圧に変換される。この I/V 変換回路12は反転回路であるため、 I/V 変換回路12の出力端子 $10c$ には正の電圧が生じる。この出力端子 $10c$ に生じた正の電圧は抵抗 13 により電流に変換され接続点Cに伝送される。結局、電流源 $n1$ が I/V 変換回路12に接続されることにより、接続点Cに向かって正の電流 $I(1)$ が流れることになる。従って、電流源 $p1$ 及び $n1$ が I/V 変換回路3及び12に接続されると、各電流源 $p1$ 及び $n1$ それぞれから接続点Cに向かって正の電流 $I(1)$ が流れることになり、接続点Cにおいて、電流源 $p1$ による正の電流 $I(1)$ と、電流源 $n1$ による正の電流 $I(1)$ とが加えられる。このため、 I/V 変換回路3の入力端子 $1a$ には、 $I(1) + I$

(1) = $2I(1)$ の電流が流れ込み、アナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。

【0036】さらに、2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘0’及び‘1’（又は‘1’及び‘0’）の場合、各電流源 $p1$ 及び $n1$ は同じ接続線に接続される。従って、この場合、電流源 $p1$ による電流 $I(1)$ と、電流源 $n1$ による電流 $I(1)$ とが互いに打ち消し合い、結局、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0037】以上のことをまとめると、データの組み合わせが‘0’及び‘0’の場合、電流源 $p1$ 及び $n1$ によりアナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じ、データの組み合わせが‘1’及び‘1’の場合、電流源 $p1$ 及び $n1$ によりアナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。また、2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘0’及び‘1’（若しくは‘1’及び‘0’）の場合、電流源 $p1$ 及び $n1$ によりアナログ出力端子9には、電流ゼロに対応した電圧が生じる。

【0038】次に、図6に示す従来のDA変換器についても、図1に示すDA変換器と同様に、2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘0’及び‘0’、‘1’及び‘1’、‘0’及び‘1’（若しくは‘1’及び‘0’）の場合について順に考える。

【0039】図6に示す2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘0’及び

‘0’の場合、電流源 $p1$ 及び $n1$ は、それぞれ接続線B1の端子 $g1$ 及び接続線A1の端子 $f1$ に接続され、電流源 $p106$ 及び $n106$ は、それぞれ接続線B106の端子 $g106$ 及び接続線A106の端子 $f106$ に接続される。従って、この場合、電流源 $p1$ 、 $n1$ 、 $p106$ 、及び $n106$ のうち、電流源 $p1$ 及び $p106$ は、ダンパバッファ4に接続される。このダンパバッファ4は、先に説明したように、デジタルデータをアナログデータに変換する作用には寄与しない。従って、デジタルデータをアナログデータに変換する作用に寄与する I/V 変換回路3に接続されるのは、結局、4つの電流源 $p1$ 、 $n1$ 、 $p106$ 、及び $n106$ のうち、2つの電流源 $n1$ 及び $n106$ である。 I/V 変換回路3にこれら2つの電流源 $n1$ 及び $n106$ が接続されると、これら2つの電流源 $n1$ 及び $n106$ それぞれから、 I/V 変換回路3に向けて、負の電流 $-I(1)$ 及び $-I(106)$ が流れる。従って、 I/V 変換回路3の入力端子 $1a$ には、 $-I(1) - I(106)$ の電流が流れ込み、アナログ出力端子9には、 $-I(1) - I(106)$ の電流に対応した電圧が生じる。図7を参照しながら説明したように、電流 $I(1)$ と電流 $I(106)$ の大きさは等しいため、

$$【0040】 I(1) = I(106) \dots\dots (1)$$

とおくと、 $-I(1) - I(106) = -I(1) - I(1) = -2I(1)$ となり、アナログ出力端子9には、 $-2I(1)$ の電流に対応した電圧が生じる。つまり、2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘0’及び‘0’の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、 $-2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0041】次に、図6に示すDA変換器において、この2つの遅延素子 $T1$ 及び $T106$ から出力されたデータの組み合わせが‘1’及び‘1’の場合、電流源 $p1$ 及び $n1$ は、それぞれ接続線A1の端子 $e1$ 及び接続線B1の端子 $h1$ に接続され、電流源 $p106$ 及び $n106$ は、それぞれ接続線A106の端子 $e106$ 及び接続線B106の端子 $h106$ に接続される。従って、この場合、 I/V 変換回路3に接続されるのは、結局、4つの電流源 $p1$ 、 $n1$ 、 $p106$ 、及び $n106$ のうち、2つの電流源 $p1$ 及び $p106$ である。 I/V 変換回路3にこれら2つの電流源 $p1$ 及び $p106$ が接続されると、これら2つの電流源 $p1$ 及び $p106$ それぞれから、 I/V 変換回路3に向けて、正の電流 $I(1)$ 及び $I(106)$ が流れる。従って、 I/V 変換回路3の入力端子 $1a$ には、 $I(1) + I(106)$ の電流が流れ込み、アナログ出力端子9には、 $I(1) + I(106)$ の電流に対応した電圧が生じる。図7を参照しながら説明したように、電流 $I(1)$ と電流 $I(106)$ の大きさは等しいため、(1)式より、 $I(1) + I(1$

06) = I(1) + I(1) = 2I(1) となり、アナログ出力端子9には、2I(1) に対応した電圧が生じる。つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '1' 及び '1' の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、2I(1) の電流に対応した電圧がアナログ出力端子9に生じる。

【0042】次に、図6に示すDA変換器において、遅延素子T1から出力されたデータが '0'、遅延素子T106から出力されたデータが '1' の場合、電流源p1及びn1は、それぞれ接続線B1の端子g1及び接続線A1の端子f1に接続され、電流源p106及びn106は、それぞれ接続線A106の端子e106及び接続線B106の端子h106に接続される。従って、この場合、I/V変換回路3に接続されるのは、4つの電流源p1、n1、p106、及びn106のうち、2つの電流源n1及びp106である。I/V変換回路3にこれら2つの電流源n1及びp106が接続されると、これら2つの電流源n1及びp106それぞれから、I/V変換回路3に向けて、電流 -I(1) 及び I(106) が流れる。従って、I/V変換回路3の入力端子1aには、-I(1) + I(106) の電流が流れ込む。ところで、図7を参照しながら説明したように、電流I(1) と電流I(106) の大きさは等しい。従って、(1)式より、-I(1) + I(106) = -I(1) + I(1) = 0 となり、2つの電流源n1及びp106による電流は互いに打ち消し合う。従って、アナログ出力端子9には、電流ゼロに対応する電圧が生じることになる。また、遅延素子T1から出力されたデータが '1'、遅延素子T106から出力されたデータが及び '0' の場合も、同様に考えることができ、やはり、アナログ出力端子9には、電流ゼロに対応する電圧が生じることになる。つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '1' (又は '1' 及び '0') の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、電流ゼロに対応した電圧がアナログ出力端子9に生じることになる。

【0043】以上のことをまとめると、図1及び図6に示すいずれのDA変換器においても、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '0' の場合、アナログ出力端子9には、-2I(1) に対応した電圧が生じ、データの組み合わせが '1' 及び '1' の場合、アナログ出力端子9には、2I(1) に対応した電圧が生じる。また、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '1' (又は '1' 及び '0') の場合、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0044】すなわち、アナログ出力端子9に生じる電

圧のうち、2つの遅延素子T1及びT106から出力されたデータD1及びD106により生じる電圧分は、図1及び図6に示すDA変換器において、互いに等しくなる。以下、同様に考えて、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T2、T105、～、T53、T54から出力されたデータにより生じる電圧分は、図1及び図6に示すDA変換器において、互いに等しくなる。従って、図1及び図6に示すDA変換器は、互いに同じアナログデータを出力することになる。

【0045】ここで、2つの電流源p1及びn1に着目する。図1に示すDA変換器では、遅延素子T1及びT106それぞれから出力されるデータの組み合わせが '0' 及び '0'、又は '1' 及び '1' の場合、上述したように、2つの電流源p1及びn1のうち、一方の電流源は電流路5に接続され、もう一方の電流源は電流路6に接続されるが、この電流路6を流れる電流は、I/V変換回路12及び抵抗13で符号が反転された電流に変換され、接続点Cで電流路5を流れる電流に加えられる。従って、I/V変換回路3の入力端子1aには、電流源p1による電流と、電流源n1による電流との双方の電流が流れることになる。これに対し、図6に示す従来のDA変換器では、先に説明したように、I/V変換回路3には、電流源p1による電流と電流源n1による電流とのうち、いずれか一方の電流のみしか流れない。このため、図1に示す本実施形態のDA変換器において、2つの電流源p1及びn1によりI/V変換回路3の入力端子1aに流れる電流は、図6に示す従来のDA変換器の2倍となる。ここで、図6のDA変換器について考えると、遅延素子T106に対応して備えられた電流源のペアCS106は、遅延素子T106から出力されたデータD106に対して、電流源のペアCS1と等しい重み付けを行うため(図7参照)、電流源のペアCS106は、I/V変換回路3の入力端子1aに、電流源のペアCS1と等しい電流を流す。つまり、図1のDA変換器における電流源のペアCS1は、図6のDA変換器において互いに等しい重み付けを行う電流源のペアCS1及びCS106を合わせた分の電流をI/V変換回路3の入力端子1aに流していることになる。以下、同様に考えて、図1のDA変換器における電流源のペアCSn ($1 \leq n \leq 53$ nは整数)は、図6のDA変換器において互いに等しい重み付けを行う電流源のペアCSn及びCS(107-n) ($1 \leq n \leq 53$ nは整数)を合わせた分の電流をI/V変換回路3に流していることがわかる。

【0046】このように、図1に示すDA変換器では、図6に示す従来のDA変換器の電流源のペアCSn及びCS(107-n)が互いに等しい重み付けを行っていることに着目し、この図1に示すDA変換器は、2つの遅延素子それぞれから出力されるデータの組み合わせに応じて、電流源のペアを構成する2つの電流源それぞれ

の電流が接続点Cで加算されるように構成されている。図1に示すDA変換器をこのような構成にすることにより、この図1に示すDA変換器は、図6に示す従来のDA変換器の性能をそのまま踏襲しながら、必要な電流源の数が従来のDA変換器よりも削減されている。具体的には、図6に示すDA変換器では、電流源のペア1組は1個の遅延素子に対応して備えられるため、必要となる電流源はトータル212個となる。これに対し、図1に示すDA変換器では、電流源のペア1組は遅延素子のペア1組（2個の遅延素子）に対応して備えられるため、必要となる電流源は、トータル106個で済む。従って、図1に示すDA変換器は、図6に示すDA変換器と同じ性能を備えながら、電流源は半分で済み、コストの削減が図られている。また、電流源が半分で済むことから、DA変換器を搭載するために必要なチップ面積が大幅に縮小でき、DA変換器の小型化も図られる。

【0047】尚、図1において、2つのスイッチSP1, SN1; ~; SP53, SN53のうち、一方のスイッチSP1~SP53が本発明にいう第1の切換部に相当し、もう一方のスイッチSN1~SN53が本発明にいう第2の切換部に相当する。また、I/V変換回路12及び抵抗13を合わせたものが、本発明にいう符号変換手段に相当し、I/V変換回路3が本発明にいう電流電圧変換手段に相当する。

【0048】図2は、本発明の第2のDA変換器の第1実施形態のDA変換器を示す図である。

【0049】尚、この図2に示すDA変換器の説明にあたっては、図1に示すDA変換器と同一の構成要素には同一符号を付して示し、図1に示すDA変換器との相違点のみについて説明する。

【0050】図1及び図2に示すDA変換器には、2つの相違点が存在している。

【0051】1つ目の相違点は、図1に示すDA変換器では、電流源のペアCS1~CS53に対応して、電流路5, 6それぞれに接続された2本の接続線A1, B1; ~; A53, B53が備えられており、2つのスイッチSP1, SN1; ~; SP53, SN53は、2本の接続線A1, B1; ~; A53, B53それぞれと電流源との接続を切り換えているが、一方、図2に示すDA変換器では、電流路5, 6それぞれに接続された2本の接続線A1, B1; ~; A53, B53の他に、電流路5, 6から切り離された状態の接続線C1~C53を備えており、2つのスイッチSP1, SN1; ~; SP53, SN53は、3本の接続線A1, C1, B1; ~; A53, C53, B53それぞれと、対応する電流源との接続を切り換えている点である。

【0052】2つ目の相違点は、図1に示すDA変換器では、2つのスイッチSP1, SN1; ~; SP53, SN53それぞれは、1つの遅延素子から出力された1つのデータに応じて、対応する電流源のペアの接続を切

り換えていたが、図2に示すDA変換器では、2つのスイッチSP1, SN1; ~; SP53, SN53は、2つの遅延素子T1, T106; ~; T53, T54それぞれから出力された2つのデータに応じて、対応する電流源のペアの接続を切り換えている点である。以下、図2に示すDA変換器において、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1; ~; SP53, SN53により切り換えられる様子について具体的に説明する。

【0053】尚、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1; ~; SP53, SN53により切り換えられる様子は、電流源のペアCS1~CS53のうちのどの電流源のペアでも同様に説明できるため、ここでは、代表して、電流源のペアCS1を取り上げ、この電流源のペアCS1の接続が2つのスイッチSP1, SN1により切り換えられる様子について説明する。

【0054】遅延素子のペアPT1を構成する2つの遅延素子T1及びT106それぞれから出力されたデータがいずれも‘0’の場合（つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが

‘0’ ‘0’の場合）、スイッチSP1は、接続線B1の端子g1に接続され、もう一方のスイッチSN1は接続線A1の端子f1に接続される（本発明にいう第3のモードに相当する）。これにより、電流源のペアCS1を構成する一方の電流源p1はI/V変換回路12の入力端子10aに接続され、もう一方の電流源n1はI/V変換回路3の入力端子1aに接続される。これに対し、2つの遅延素子T1, T106それぞれから出力されたデータがいずれも‘1’の場合（つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’ ‘1’の場合）、スイッチSP1は接続線A1の端子e1に接続され、もう一方のスイッチSN1が接続線B1の端子h1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる（本発明にいう第3のモードに相当する）。これにより、今度は逆に、電流源p1がI/V変換回路3の入力端子1aに接続され、もう一方の電流源n1がI/V変換回路12の入力端子10aに接続される。さらに、2つの遅延素子T1, T106それぞれから出力されたデータの一方が

‘0’、他方が‘1’の場合、スイッチSP1は接続線C1の端子j1に接続され、もう一方のスイッチSN1が接続線C1の端子k1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる（本発明にいう第4のモードに相当する）。その他の2つのスイッチSP2, SN2; ~; SP53, SN53についても、対応する2つの遅延素子それぞれから出力されたデータに応じて、スイッチSP1及びSN1と同様に動作する。

【0055】上記のように構成された図2に示すDA変換器にデジタルデータを入力することにより得られるア

ナログデータと、図6に示す従来のDA変換器にデジタルデータを入力することにより得られるアナログデータは、入力されるデジタルデータが同じであれば、互いに同じアナログデータを出力する。以下に、図2、図6に示すDA変換器が互いに同じアナログデータを出力する様子について説明する。

【0056】図2に示すDA変換器において、遅延素子T1に‘0’又は‘1’の1ビットのデータがシリアルに順次入力されると、各遅延素子T1～T106それぞれは、次段の遅延素子にデータを出力する。このとき、106個の遅延素子T1～T106は、次段の遅延素子にデータを出力するだけでなく、パラレルの時系列データD1～D106を出力する。このとき、電流源のペアに対応して備えられた2つのスイッチSP1, SN1; SP2, SN2; …; SP52, SN52; SP53, SN53は、遅延素子のペアを構成する2つの遅延素子T1, T106; T2, T105; …; T52, T55; T53, T54それぞれから出力されたデータに応じて、各電流源をI/V変換回路3及び12のいずれかのI/V変換回路に接続するか、若しくは、I/V変換回路3及び12から切り離す。ここで、遅延素子のペアPT1～PT53のうち、遅延素子のペアPT1に着目する。この遅延素子のペアPT1を構成する2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、電流源p1は接続線B1の端子g1に接続され、もう一方の電流源n1は接続線A1の端子f1に接続される。従って、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。先に説明したように、図1に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータが‘0’及び‘0’の場合、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。従って、図2に示すDA変換器は、2つの遅延素子T1及びT106から出力されたデータが‘0’及び‘0’の場合、図1に示すDA変換器と同様に、 $-2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0057】次に、図2に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’及び‘1’の場合、電流源p1は接続線A1の端子e1に接続され、もう一方の電流源n1は接続線B1の端子h1に接続される。従って、今度は逆に、電流源p1はI/V変換回路3の入力端子1aに接続され、電流源n1はI/V変換回路12の入力端子10aに接続される。先に説明したように、図1に示すDA変換器においても、2つの遅延素子T1及びT106から出力されたデータが‘1’及び‘1’の場合、電流源p1はI/V変換回路3の入力端子1aに接続さ

れ、電流源n1はI/V変換回路12の入力端子10aに接続される。従って、図2に示すDA変換器は、2つの遅延素子T1及びT106から出力されたデータが‘1’及び‘1’の場合、図1に示すDA変換器と同様に、 $2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0058】さらに、図2に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（又は‘1’及び‘0’）の場合、電流源p1は接続線C1の端子j1に接続され、電流源n1は接続線C1の端子k1に接続される。つまり、電流源p1及びn1は、電流路5, 6から切り離された接続線C1に接続されることになる。従って、この場合、アナログ出力端子9には、各電流源p1及びn1に対応する電圧は生じないことになる。

【0059】以上のことをまとめると、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、アナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じ、データの組み合わせが‘1’及び‘1’の場合、アナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。また、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（若しくは‘1’及び‘0’）の場合、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0060】すなわち、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T1及びT106から出力されたデータにより生じる電圧分は、図1及び図2に示すDA変換器において、互いに等しくなる。以下、同様に考えて、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T2, T105; …; T53, T54から出力されたデータにより生じる電圧分は、図1及び図2に示すDA変換器において、互いに等しくなる。先に説明したように、図1に示すDA変換器と、図6に示す従来のDA変換器とは、アナログ出力端子9に生じる電圧は等しいため、結局、図2及び図6に示すDA変換器についても、互いに同じ性能を備えていることになる。

【0061】この図2に示すDA変換器は、図1に示すDA変換器と同様に、図6に示す従来のDA変換器の電流源のペアCSn及びCS(107-n)が互いに等しい重み付けを行っていることに着目し、この図2に示すDA変換器は、2つの遅延素子それぞれから出力されるデータの組み合わせに応じて電流源のペアを構成する2つの電流源それぞれの電流が接続点Cで加算される構成にしている。このような構成にすることによっても、図6に示す従来のDA変換器の性能をそのまま踏襲しながら、必要な電流源の数を従来のDA変換器よりも削減することができる。図2に示すDA変換器では、図1に示すDA変換器と同様に、必要となる電流源はトータル106個で済む。従って、図2に示すDA変換器は、図6

に示す従来のDA変換器と同じ性能を備えながら、電流源は半分で済み、コストの削減が図られる。また、電流源が半分で済むことから、DA変換器を搭載するために必要なチップ面積が大幅に縮小でき、DA変換器の小型化も図られる。

【0062】尚、図1、図2に示すDA変換器では、電流源のペアCS1～CS53は、いずれも、2つの遅延素子（遅延素子のペア）に対応して備えられているが、電流源のペアCS1～CS53全てを2つの遅延素子（遅延素子のペア）に対応して備える必要はない。例えば、電流源のペアCS1～CS53のいずれかの電流源のペアについては、2つの遅延素子（遅延素子のペア）に対応して備えるとともに、残りの電流源のペアについては、1つの遅延素子に対応して備えてもよい。このように、2つの遅延素子（遅延素子のペア）に対応して備えられる電流源のペアと、1つの遅延素子に対応して備えられる電流源のペアとが共存した状態であっても、いずれかの電流源のペアが2つの遅延素子（遅延素子のペア）に対応して備えられているため、従来と比較して使用する電流源を削減することができ、やはり、コストの削減及び小型化が図られる。

【0063】また、図2において、2つのスイッチSP1, SN1; ～; SP53, SN53のうち、一方のスイッチSP1～SP53が本発明にいう第3の切換部に相当し、もう一方のスイッチSN1～SN53が本発明にいう第4の切換部に相当する。

【0064】ところで、図1及び図2には、遅延素子を偶数個（106個）備えた従来型のDA変換器（図6参照）と同一の性能を保持しながらコストの削減が図られたDA変換器の例を示したが、本発明では、遅延素子は奇数個であってもよい。以下に、遅延素子を奇数個備えた従来型のDA変換器と同一の性能を保持しながら、この遅延素子を奇数個備えた従来型のDA変換器よりもコストの削減が図られたDA変換器について説明する。この説明にあたっては、遅延素子を107個備えた従来型のDA変換器について図6を参考にしながら簡単に説明し、次いで、この遅延素子を107個備えた従来型のDA変換器と同一の性能を有する本発明のDA変換器の一例について説明する。

【0065】図6に示すような従来型のDA変換器が106個の遅延素子T1～T106に加えてもう1個の遅延素子T107を備えた場合、この遅延素子T107から出力されるデータD107を重み付けするために、この遅延素子T107に対応して、2つの電流源p107, n107からなる電流源のペアCS107を備える必要がある。つまり、107組の電流源のペアCS1～CS107を備える必要がある。

【0066】図3は、この107組の電流源のペアCS1～CS107それぞれが生成する電流の一例を示す図である。

【0067】このグラフの横軸は、電流源のペアCS1～CS107を表し、縦軸は、各電流源が生成する電流である。

【0068】各電流源のペアCS1, …, CS107を構成する2つの電流源p1, n1; …; p107, n107は、互いに等しい電流I(1), …, I(107)を生成する。また、電流源のペアCS1～CS107が生成する電流I(1), …, I(107)は、図3に示すように、電流源のペアCS54の電流I(54)が最も大きい。

【0069】尚、これら電流I(1), …, I(107)は、 $I(n) = I(108 - n)$ の関係を満たしている（ただし、 $1 \leq n \leq 53$ nは整数）。例えば、 $n = 1$ の場合を考えると、 $I(1) = I(107)$ である。従って、図3に示されている各電流I(1), …, I(107)の大きさは、電流源のペアCS54が生成する電流I(54)を中心として左右対称になっている。

【0070】次に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能を有する本発明のDA変換器の一例を図4に示す。

【0071】図4は、本発明の第2のDA変換器の第2実施形態のDA変換器を示す図である。

【0072】尚、この図4に示すDA変換器の説明にあたっては、図2に示すDA変換器との相違点のみにについて簡単に説明する。

【0073】図2に示すDA変換器は、106個の遅延素子T1～T106と、53組の電流源のペアCS1～CS53とを備えていたが、図4に示すDA変換器は、107個の遅延素子T1～T107と、54組の電流源のペアCS1～CS54とを備えている。これら54組の電流源のペアCS1～CS54のうち、53組の電流源のペアCS1～CS53は、2つの遅延素子からなる遅延素子のペアPT1～PT53に対応して備えられているが、残りの1組の電流源のペアCS54は、1個の遅延素子T54に対応して備えられている。尚、遅延素子のペアPTnは、2つの遅延素子Tn及びT(108 - n)から構成されている（ただし、 $1 \leq n \leq 53$ 、nは整数）。

【0074】これら各電流源p1, n1; …; p54, n54は、図4において、各電流源の横に示された矢印の方向を正とした電流I(1)～I(54)を発生する。つまり、電流源のペアCS1～CS54それぞれを構成する2つの電流源は、互いに大きさの等しい電流を発生する。例えば、電流源のペアCS1について考えると、2つの電流源p1及びn1それぞれは共に電流I(1)を発生する。その他の電流源のペアCS2, …, CS54についても、2つの電流源p2, n2; …; p54, n54は互いに等しい電流I(2), …, I(54)を発生する。

【0075】さらに、電流源のペアCS1～CS54のうち、電流源のペアCS1～CS53に対応して備えられた2つのスイッチSP1, SN1;～;SP53, SN53それぞれは、2つの遅延素子T1, T107;～;T53, T55それぞれから出力された2つのデータD1, D107;～;D53, D55の組み合わせに応じて、各電流源p1, n1;～;p53, n53と、3つの接続線A1, C1, B1;～;A53, C53, B53との接続を切り換えている。

【0076】また、電流源のペアCS54に対応して2本の接続線A54及びB54が備えられ、さらに、スイッチSP54及びSN54が備えられている。2本の接続線A54及びB54それぞれは、電流路5及び6それぞれに接続されている。スイッチSP54は、遅延素子T54から出力されたデータD54に応じて、電流源p54と、2本の接続線A54及びB54それぞれとの接続を切り換えるものであり、スイッチSN54は、遅延素子T54から出力されたデータD54に応じて、電流源n54と、2本の接続線A54及びB54それぞれとの接続を切り換えるものである。

【0077】このように構成された図4に示すDA変換器は遅延素子を107個備えている。つまり、図4に示すDA変換器は遅延素子を奇数個備えている。このため、107個の遅延素子T1～T107を2つの遅延素子のペアに分けると、ペアを組めない遅延素子が1個現れる。図4に示すDA変換器では、遅延素子T54が他の遅延素子とペアが組まれていない状態となっている。このため、電流源のペアCS54はこの1個の遅延素子T54に対応して備えられている。図4に示す構造のDA変換器に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能をもたせるためには、図4に示す電流源のペアCS1～CS54それぞれが発生する電流値を、図5に示すように設定すればよい。

【0078】図5は、図4に示す各電流源が生成する電流値を示すグラフである。

【0079】このグラフの横軸は、各電流源p1, n1;～;p54, n54を表し、縦軸は、各電流源が生成する電流である。

【0080】図5における電流源のペアCS1～CS54が生成する電流I(1)～I(54)のうち、電流I(1)～I(53)それぞれは、図3における電流源のペアCS1～CS53が生成する電流I(1)～I(53)それぞれと同じ大きさであるが、図5における電流源のペアCS54が生成する電流I(54)は、図3に

おける電流源のペアCS54が生成する電流I(54)の半分の大きさである。

【0081】図5に示すように各電流源の電流を設定することにより、図4に示すDA変換器に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能をもたせることができる。

【0082】従来型のDA変換器では、遅延素子を107個を備えている場合、この107個の遅延素子それぞれに対応して107組の電流源のペア(つまり、214個の電流源)を備える必要がある。これに対し、図4に示すDA変換器では、電流源のペアCS54は1個の遅延素子T54に対応して備えられるが、残りの電流源のペアCS1～CS53は遅延素子のペアPT1～PT53に対応して備えられるため、必要となる電流源は、トータル108個で済む。従って、図4に示すDA変換器を用いることにより、従来型のDA変換器と同一の性能をもたせたまま、必要な電流源の数を削減することができ、やはりコストの削減及び小型化が図られる。

【0083】

20 【発明の効果】以上説明したように、本発明のDA変換器によれば、コストの削減及び小型化が図られる。

【図面の簡単な説明】

【図1】本発明の第1のDA変換器の一実施形態のDA変換器を示す図である。

【図2】本発明の第2のDA変換器の第1実施形態のDA変換器を示す図である。

【図3】107組の電流源のペアCS1～CS107それぞれが生成する電流の一例を示す図である。

【図4】本発明の第2のDA変換器の第2実施形態のDA変換器を示す図である。

【図5】各電流源が発生する電流を表すグラフである。

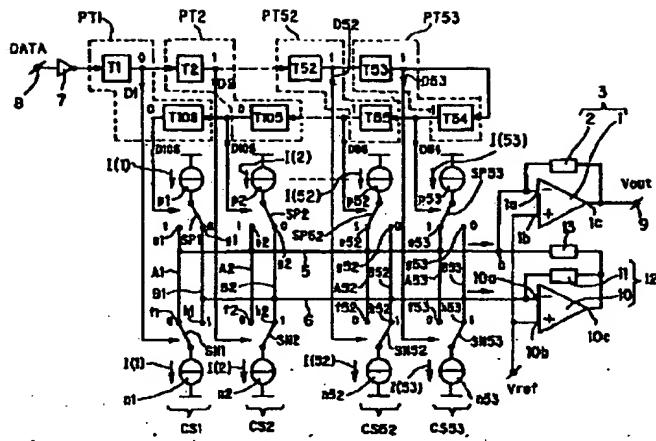
【図6】従来より用いられているDA変換器の一例である、106タップのFIRフィルタを有するDA変換器を示す図である。

【図7】各電流源が発生する電流を表すグラフである。

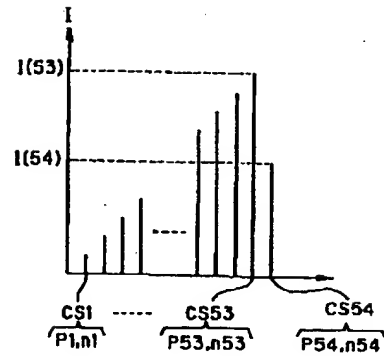
【符号の説明】

- 1, 10 アンプ
- 1a, 1b, 10a, 10b 入力端子
- 1c, 10c 出力端子
- 2, 11, 13 抵抗
- 3, 12 I/V変換回路
- 5, 6 電流路
- 7 反転アンプ
- 8 デジタル入力端子
- 9 アナログ出力端子

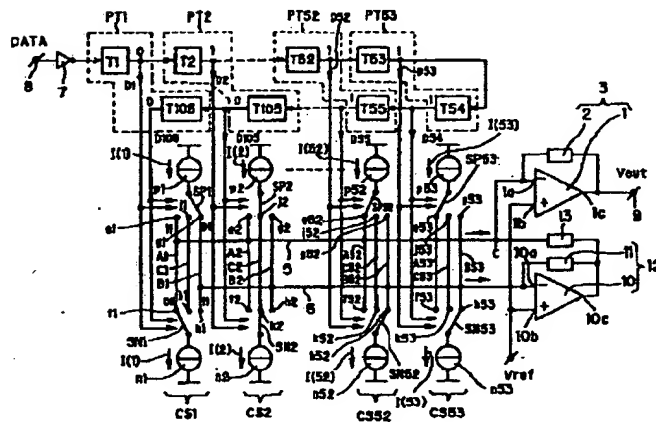
【図1】



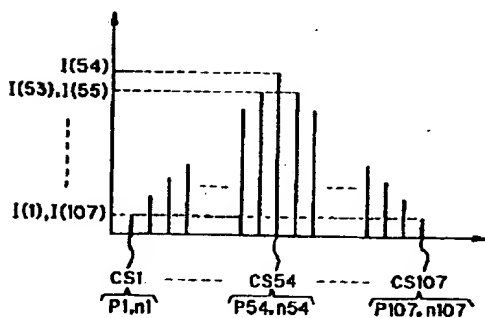
【図5】



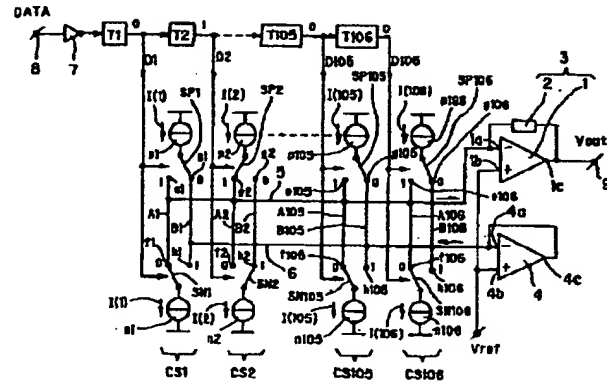
【図2】



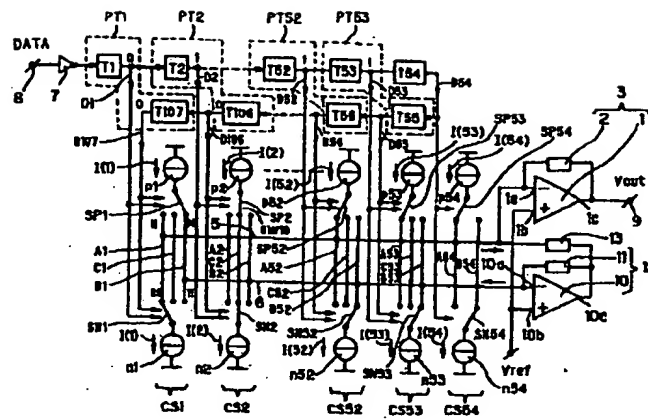
【図3】



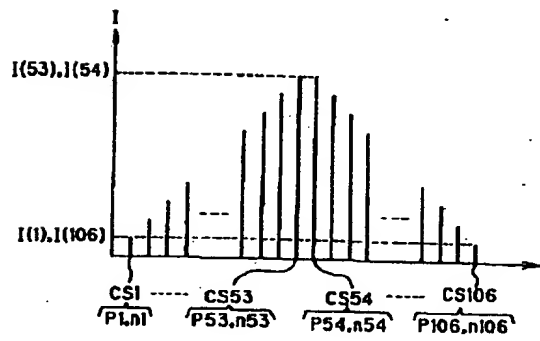
【図6】



【図4】



【図7】



JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. P2001-177409A

Int. Cl.⁷: H 03 M 1/66
3/02

Filing No.: Hei 11[1999]-357449

Filing Date: December 16, 1999

Publication Date: June 29, 2001

No. of Claims: 6 (Total of 13 pages; OL)

Examination Request: Not filed

D/A CONVERTER

Inventor: Masaya Kishita
Nippon Philips Co., Ltd.
Philips Building, 2-13-37
Minatominami, Minato-ku, Tokyo

Applicant: 000112451
Nippon Philips Co., Ltd.
Philips Building, 2-13-37
Minatominami, Minato-ku, Tokyo

Agent: 100087789
Susumi Tsugaru, patent attorney

[There are no amendments to this patent.]

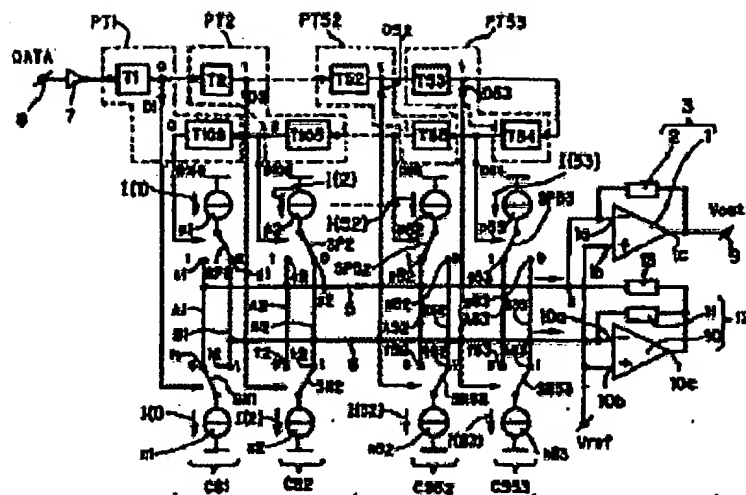
Abstract

Objective

To provide a small D/A converter at low cost.

Means to solve

Current source pairs CS1-CS53 are used corresponding to delay elements PT1-PT53.



Claims

1. A D/A converter characterized in that it comprises a plurality of delay elements that output serially input digital data as parallel data, two current sources used corresponding to two of the aforementioned delay elements, an analog data generating means that has two input parts connected to the aforementioned two current sources, respectively, and generates analog data from the currents input into the aforementioned two input parts, and a switching means that switches between a first mode, in which the aforementioned two current sources are connected to different input parts of the aforementioned two input parts based on the two data output from the aforementioned two delay elements, and a second mode, in which the aforementioned two current sources are connected to the same input part.

2. A D/A converter characterized in that it comprises a plurality of delay elements that output serially input digital data as parallel data, two current sources used corresponding to two of the aforementioned delay elements, an analog data generating means that has two input parts connected to the aforementioned two current sources, respectively, and generates analog data from the currents input into the aforementioned two input parts, and a switching means that switches between a third mode, in which the aforementioned two current sources are connected to different input parts of the aforementioned two input parts based on the two data output from the aforementioned two delay elements, and a fourth mode, in which the aforementioned two current sources are cut off from the aforementioned two input parts.

3. The D/A converter described in Claim 1 characterized in that the aforementioned switching means has a first switching part, which switches the connection between one of the aforementioned two current sources and each of the aforementioned two input parts based on one data output from one of the aforementioned two delay elements, and a second switching part,

which switches the connection between the other one of the aforementioned two current sources and each of the aforementioned two input parts based on one data output from the other one of the aforementioned two current sources.

4. The D/A converter described in Claim 2 characterized in that the aforementioned switching means has a third switching part, which switches the connection and disconnection between one of the aforementioned two current sources and the aforementioned two input parts based on the two data outputs from the aforementioned two delay elements, and a fourth switching part, which switches the connection and disconnection between the other one of the aforementioned two current sources and the aforementioned two input parts based on the aforementioned two data.

5. The D/A converter described in Claim 1 or 2 characterized in that the aforementioned two current sources supply currents of the same magnitude.

6. The D/A converter described in Claim 1 or 2 characterized in that the aforementioned analog data generating means has a sign changing means, which converts the current input into one of the aforementioned two input parts into a current of opposite sign, and a current/voltage converting means, which converts the sum of the current input into the other one of the aforementioned two input parts and the current whose sign has been changed by the aforementioned sign changing means into a voltage.

Detailed explanation of the invention

[0001]

Industrial application field

The present invention pertains to a D/A converter which contains current sources.

[0002]

Prior art

Figure 6 is a diagram illustrating a D/A converter having a 106-tap FIR filter as an example of the conventional D/A converter.

[0003]

This D/A converter has digital input terminal 8. Said digital input terminal 8 is connected to 106 delay elements T1-T106 connected in series via inverting amplifier 7. 1-bit data of either '0' or '1' is input in series and sequentially from digital input terminal 8 into delay element T1 via inverting amplifier 7. The data input into delay element T1 is transferred sequentially to the last delay element T106. In this case, the 106 delay elements T1-T106 not only output the data input in series into delay element T1 to the next delay element but also output the data as parallel

time-series data D1-D106. Data D1-D106 are sent to switches SP1, SN1 ; - ; SP106, SN106 to be explained below. This D/A converter has current source pairs CS1-CS106 comprised of two current sources p1 and n1, etc., corresponding to delay elements T1-T106. Each of said current source pairs CS1-CS106 is comprised of two current sources p1, n1 ; - ; p106, n106. These current sources generate currents corresponding to the amount (weighting amount) of weighting data D1-D106 output from delay elements T1-T106. Current sources p1, n1 ; - ; p106, n106 generate currents I(1)-I(106) of positive direction indicated by the arrow on the side of each current source in Figure 6.

[0004]

Figure 7 is a diagram illustrating the current generated by each current source.

[0005]

The abscissa of the diagram represents each current source p1, n1 ; - ; p106, n106, while the ordinate represents the current generated by each current source.

[0006]

The two current sources that constitute each of current source pairs CS1-CS106 generate identical currents. For example, as far as current source pair CS1 is concerned, two current sources p1 and n1 generate current I(1) (see Figures 6, 7). For other current source pairs CS2, ..., CS105, CS106, two current sources p2, n2 ; .. ; p105, n105; p106, n106 generate currents I(2), ..., I(105), I(106), respectively.

[0007]

Also, these currents I(1)-I(106) satisfy the relationship of $I(n) = I(107-n)$ (wherein, $1 \leq n \leq 53$, n is an integer). For example, when $n = 1$, $I(1) = I(106)$. Consequently, the magnitudes of currents I(1)-I(106) shown in Figure 7 are symmetrical with respect to the current generated by current source pairs CS53 and CS54.

[0008]

The explanation based on Figure 6 is continued.

[0009]

This D/A converter has I/V converter 3 and dump buffer 4. Said I/V converter 3 has amplifier 1 and resistor 2. The two ends of resistor 2 are connected to the input terminal 1a and output terminal 1c of amplifier 1. On the other hand, input terminal 4a, out of the two input

terminals 4a and 4b of dump buffer 4, is connected to output terminal 4c. The other input terminal 4b is connected to the input terminal 1b of the amplifier 1 of I/V converter 3.

[0010]

This D/A converter also has two connecting wires A1, B1; -, A106, B106 corresponding to each of current source pairs CS1-CS106. The input terminal 1a of amplifier 1 of I/V converter 3 is connected to connecting wires A1-A106 out of two connecting wires A1, B1; -, A106, B106 via current path 5. On the other hand, the input terminal 4a of dump buffer 4 is connected to connecting wires B1-B106 via current path 6.

[0011]

Two switches SP1, SN1; -, SP106, SN106 used corresponding to each of current source pairs CS1-CS106 switch the connection between each of current sources p1, n1; -, p106, n106 and each two connecting wires A1, B1; - A106, B106 corresponding to the data D1-D106 output from delay elements T1-T106. By switching the connection, each current source is connected to I/V converter 3 or dump amplifier 4. Out of I/V converter 3 and dump amplifier 4, dump amplifier 4 does not convert digital data into analog data. Only I/V converter 3 converts the digital data into analog data. Consequently, only the current generated by the current source connected to I/V converter 3 is converted to voltage by I/V converter 3, and analog signal is output from analog output terminal 9.

[0012]

Problems to be solved by the invention

The aforementioned D/A converter is required to have current source pairs CS1-CS106 corresponding to 106 delay elements T1-T106. In other words, it is necessary to use 106 current sources p1-p106 and 106 current sources n1-n106 corresponding to 106 delay elements T1-T106. As a result, the cost becomes high, and the size of the D/A converter is increased.

[0013]

The purpose of the present invention is to solve the aforementioned problem by providing a small D/A converter at low cost.

[0014]

Means for solving the problems

The first D/A converter of the present invention for realizing the aforementioned purpose is characterized in that it comprises a plurality of delay elements that output serially input digital

data as parallel data, two current sources used corresponding to two of the aforementioned delay elements, an analog data generating means that has two input parts connected to the aforementioned two current sources, respectively, and generates analog data from the currents input into the aforementioned two input parts, and a switching means that switches between a first mode, in which the aforementioned two current source are connected to different input parts of the aforementioned two input parts based on the two data output from the aforementioned two delay elements, and a second mode, in which the aforementioned two current sources are connected to the same input part.

[0015]

In the first D/A converter of the present invention, two current sources are used corresponding to two delay elements. The switching means switches the connection between the aforementioned two current sources and each of the input parts of the analog data generating means corresponding to the two data output from the aforementioned two delay elements. Consequently, compared with the D/A converter using two current sources for one delay element, the first D/A converter of the present invention can reduce the number of current sources so that the cost and the size can be reduced.

[0016]

For the first D/A converter of the present invention, it is preferred that the aforementioned switching means contains a first switching part, which switches the connection between one of the aforementioned two current sources and each of the aforementioned two input parts based on one data output from one of the aforementioned two delay elements, and a second switching part, which switches the connection between the other one of the aforementioned two current sources and each of the aforementioned two input parts based on one data output from the other one of the aforementioned two current sources.

[0017]

By using the first and second switching parts, the connection between each of the two delay elements and each of the two current sources can be switched based on the two data output from the two delay elements.

[0018]

The second D/A converter of the present invention for realizing the aforementioned purpose is characterized in that it comprises a plurality of delay elements that output serially input digital data as parallel data, two current sources used corresponding to two of the

aforementioned delay elements, an analog data generating means that has two input parts connected to the aforementioned two current sources, respectively, and generates analog data from the currents input into the aforementioned two input parts, and a switching means that switches between a third mode, in which the aforementioned two current sources are connected to different input parts of the aforementioned two input parts based on the two data output from the aforementioned two delay elements, and a fourth mode, in which the aforementioned two current sources are cut off from the aforementioned two input parts.

[0019]

In the second D/A converter of the present invention, two current sources are used corresponding to two delay elements. The switching means switches the connection and disconnection between the two current sources and the input parts of the analog data generating means corresponding to the two data output from the aforementioned two delay elements. Consequently, compared with the D/A converter using two current sources for one delay element, the second D/A converter of the present invention can reduce the number of current sources so that the cost and the size can be reduced.

[0020]

For the second D/A converter of the present invention, it is preferred that the aforementioned switching means contains a third switching part, which switches connection and cutoff between one of the aforementioned two current sources and the aforementioned two input parts based on the two data outputs from the aforementioned two delay elements, and a fourth switching part, which switches the connection and cutoff between the other one of the aforementioned two current sources and the aforementioned two input parts based on the aforementioned two data.

[0021]

By using the third and fourth switching parts, the connection and disconnection between the other one of the aforementioned two current sources and the aforementioned two input parts can be switched based on the aforementioned two data.

[0022]

Also, for the first and second D/A converters of the present invention, it is preferred that the aforementioned two current sources supply currents of the same magnitude.

[0023]

For the first and second D/A converters of the present invention, it is preferred that the aforementioned analog data generating means have a sign changing means, which converts the current input into one of the aforementioned two input parts into a current of opposite sign, and a current/voltage converting means, which converts the sum of the current input into the other one of the aforementioned two input parts and the current with its sign changed by the aforementioned sign changing means to a voltage.

[0024]

By using the sign changing means and the current/voltage converting means, even if the directions of the currents flowing to the two input parts are opposite to each other, the directions of these currents can be made consistent so that the currents can be converted into a voltage.

[0025]

Embodiment

In the following, an embodiment of the present invention will be explained.

[0026]

Figure 1 is a diagram illustrating the D/A converter disclosed in an embodiment of the first D/A converter of the present invention.

[0027]

This D/A converter has digital input terminal 8. Said digital input terminal 8 is connected to 106 delay elements T1-T106 connected in series via inverting amplifier 7. 1-bit data of either '0' or '1' is input in series and sequentially from digital input terminal 8 into delay element T1 via inverting amplifier 7. The data input into delay element T1 is transferred sequentially to the last delay element T106. In this case, the 106 delay elements T1-T106 not only output the data input in series into delay element T1 to the next delay element but also output the data as parallel time-series data D1-D106. Data D1-D106 are sent to switches SP1, SN1 ; - ; SP53, SN53 to be explained below. This D/A converter has 53 current source pairs CS1-CS53 comprised of two current sources corresponding to delay element pairs PT1-PT53 comprised of two delay elements. In this case, delay element pair PTn is comprised of two delay elements Tn and T(107-n) (wherein, $1 \leq n \leq 53$, n is an integer). Also, each of current source pairs CS1-CS53 is comprised of two current sources p1, n1; -, p53, n53. The currents generated by current sources p1, n1; -, p53, n53 are the same as the currents generated by current sources p1, n1; -, p53, n53 shown in Figure 7, respectively.

[0028]

This D/A converter also has two connecting wires A1, B1; -, A53, B53 corresponding to current source pairs CS1-CS53. Each of current sources p1, n1; -, p53, n53 is connected in a switchable manner to two connecting wires A1, B1; -, A53, B53 by using respective switches SP1, SN1; ... SP53, SN53.

[0029]

This D/A converter has I/V converter 3 with the same configuration as I/V converter 3 shown in Figure 6. In addition to said I/V converter 3, the converter contains I/V converter 12. Said I/V converter 12 has amplifier 10 and resistor 11. The two ends of resistor 11 are connected to the input terminal 10a and output terminal 10c of amplifier 10. The input terminal 1a of I/V converter 3 and the output terminal 10c of I/V converter 12 are connected to each other via resistor 13. Also, the input terminal 1b of I/V converter 3 is connected to the input terminal 10b of I/V converter 12. The input terminal 1a of I/V converter 3 is connected to one connecting wire A1-A53 of two connecting wires A1, B1; -, A53, B53 corresponding to current source pairs CS1-CS53 via current path 5. Also, the input terminal 10a of I/V converter 12 is connected to the other connecting wire B1-B53 of two connecting wires A1, B1; -, A53, B53 via current path 6.

[0030]

As described above, this D/A converter has two switches SP1, SN1; ... SP53, SN53 corresponding to each of current source pairs CS1-CS53. These two switches SP1, SN1; ... SP53, SN53 switch the connection between the two current sources that constitute the corresponding current source pair CS1-CS53 and either one of the two connecting wires A1, B1; -, A53, B53 corresponding to the data output from the two delay elements T1, T106; -, T53, T54 that constitute delay element pairs PT1-PT53. In the following, the case when the connection of current source pairs CS1-CS53 is switched by two switches SP1, SN1; ...; SP53, SN53 will be explained in detail.

[0031]

Since the case when the connection of current source pairs CS1-CS53 is switched by two switches SP1, SN1; ...; SP53, SN53 can be explained in the same way as for any current source pair among current source pairs CS1-CS53, current source pair CS1 will be used as an example, and the case when the connection of current source pair CS1 is switched by two switches SP1, SN1 will be explained.

[0032]

When the data output from two delay elements T1 and T106 that constitute delay element pair PT1 are '0', switch SP1 is connected to the terminal g1 of connecting wire B1, while the other switch SN1 is connected to the terminal f1 of connecting wire A1 (equivalent to the first mode in the present invention). As a result, current source p1 of current source pair CS1 is connected to the input terminal 10a of I/V converter 12, while current source n1 is connected to the input terminal 1a of I/V converter 3. When the data output from two delay elements T1, T106 are both '1', the connections of switches SP1 and SN1 are switched such that switch SP1 is connected to the terminal e1 of connecting wire A1, while switch SN1 is connected to the terminal h1 of connecting wire B1 (equivalent to the first mode in the present invention). As a result, current source p1 is connected to the input terminal 1a of I/V converter 3, while current source n1 is connected to the input terminal 10a of I/V converter 12. If one of the data output from two delay elements T1, T106 is '0' and the other is '1', switches SP1 and SN1 are connected to each other (equivalent to the second mode in the present invention). More specifically, if the data output from delay element T1 is '0' and the data output from delay element T106 is '1', switches SP1 and SN1 are connected to connecting wire A1. On the other hand, if the data output from delay element T1 is '1' and the data output from delay element T106 is '0', switches SP1 and SN1 are connected to connecting wire B1. Other two switches SP2, SN2; -, SP53, SN53 operate in the same way as switches SP1 and SN1 corresponding to the data output from the corresponding two delay elements.

[0033]

For the analog data obtained by inputting digital data into the D/A converter shown in Figure 1 with the aforementioned configuration and the analog data obtained by inputting digital data into the conventional D/A converter shown in Figure 6, if the input digital data are the same, the same analog data will be output. The case in which the D/A converters shown in Figures 1 and 6 output the same analog data will be explained below.

[0034]

When 1-bit data of '0' or '1' is input in series and sequentially into delay element T1 in the D/A converter shown in Figure 1, each of delay elements T1-T106 outputs the data to the next delay element. In this case, the 106 delay elements T1-T106 not only output the data to the next delay element but also output parallel time-series data D1-D106. Two switches SP1, SN1; SP2, SN2; ..., SP52, SN52; SP53, SN53 used corresponding to the current source pairs operate such that each current source is connected to either I/V converter of I/V converters 3 or 12 corresponding to the data output from the two delay elements T1, T106; T2, T105; -, T52, T55,

T53, T54 that constitute the delay element pairs. In this case, the operation of delay element pair PT1 of delay element pairs PT1-PT53 will be explained. If the data output from two delay elements T1 and T106 that constitute said delay element pair PT1 are '0' and '0', current source p1 is connected to the terminal g1 of connecting wire B1, while current source n1 is connected to the terminal f1 of connecting wire A1. Consequently, current source n1 is connected to the input terminal 1a of I/V converter 3, while current source p1 is connected to the input terminal 10a of I/V converter 12. As a result, negative current $-I(1)$ flows from current source n1 through current path 5 to the connection point C between resistor 13 and the input terminal 1a of I/V converter 3. On the other hand, positive current $I(1)$ flows from current source p1 to the input terminal 10a of I/V converter 12. The positive current $I(1)$ is converted into a voltage by I/V converter 12. Since I/V converter 12 is an inverting circuit, a negative voltage is generated at the output terminal 10c of I/V converter 12. The negative voltage generated at output terminal 10c is converted into a current by resistor 13 and is transferred to the connection point C between resistor 13 and the input terminal 1a of I/V converter 3. As a result, when current source p1 is connected to I/V converter 12, negative current $-I(1)$ obtained by inverting the sign of positive current $I(1)$ flows from current source p1 to connection point C. Consequently, when current sources p1 and n1 are connected to I/V converters 12 and 3, negative current $-I(1)$ flows from current sources p1 and n1 to connection point C. Negative current $-I(1)$ generated by current source p1 and negative current $-I(1)$ generated by current source n1 are added at connection point C. Therefore, the current $-I(1)-I(1)=-2I(1)$ flows to the input terminal 1a of I/V converter 3. A voltage corresponding to $-2I(1)$ is generated at analog output terminal 9.

[0035]

If the data output from two delay elements T1 and T106 are '1' and '1', current source p1 is connected to the terminal e1 of connecting wire A1, while current source n1 is connected to the terminal h1 of connecting terminal B1. Consequently, current source p1 is connected to the input terminal 1a of I/V converter 3, while current source n1 is connected to the input terminal 10a of I/V converter 12. As a result, positive current $I(1)$ flows from current source p1 to connection point C. On the other hand, negative current $-I(1)$ flows from current source n1 to the input terminal 10a of I/V converter 12. The negative current $-I(1)$ is converted into a voltage by I/V converter 12. Since I/V converter 12 is an inverting circuit, a positive voltage is generated at the output terminal 10c of I/V converter 12. As a result, positive current $I(1)$ flows to connection point C by connecting current source n1 to I/V converter 12. The positive voltage generated at output terminal 10c is converted to a current by resistor 13 and is sent to connection point C. As a result, when current source n1 is connected to I/V converter 12, a positive current $I(1)$ flows to connection point C. Consequently, when current sources p1 and n1 are connected to I/V

converters 3 and 12, positive current $I(1)$ flows from each of current sources $p1$ and $n1$ to connection point C. The positive current $I(1)$ generated by current source $p1$ and the positive current $I(1)$ generated by current source $n1$ are added at connection point C. Therefore, the current $I(1) + I(1) = 2I(1)$ flows to the input terminal 1a of I/V converter 3. A voltage corresponding to $2I(1)$ is generated at analog output terminal 9.

[0036]

If the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), current sources $p1$ and $n1$ are connected to each other. Consequently, in this case, the current $I(1)$ generated by current source $p1$ and the current $I(1)$ generated by current source $n1$ cancel each other out. As a result, a voltage corresponding to zero current is generated at analog output terminal 9.

[0037]

To summarize what has been described above, when the data combination is '0' and '0', a voltage corresponding to $-2I(1)$ is generated at analog output terminal 9 by current sources $p1$ and $n1$. When the data combination is '1' and '1', a voltage corresponding to $2I(1)$ is generated at analog terminal 9 by current sources $p1$ and $n1$. Also, if the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), a voltage corresponding to zero current is generated at analog output terminal 9 by current sources $p1$ and $n1$.

[0038]

In the following the conventional D/A converter shown in Figure 6 will be explained for the case when the data output from two delay elements T1 and T106 change sequentially as '0' and '0', '1' and '1', '0' and '1' (or '1' and '0'), like the D/A converter shown in Figure 1.

[0039]

If the data output from two delay elements T1 and T106 shown in Figure 6 are '0' and '0', current sources $p1$ and $n1$ are connected to the terminal g1 of connecting wire B1 and the terminal f1 of connecting wire A1, respectively. Current sources $p106$ and $n106$ are connected to the terminal g106 of connecting wire B106 and the terminal f106 of connecting wire A106, respectively. Consequently, in this case, of current sources $p1$, $n1$, $p106$, and $n106$, current sources $p1$ and $p106$ are connected to dump buffer 4. As described above, dump buffer 4 makes no contribution to converting the digital data into analog data. Consequently, two current sources, that is, $n1$ and $n106$ of the four current sources $p1$, $n1$, $p106$, and $n106$ are connected to I/V converter 3, which makes contribution to converting the digital data into analog data. When

two current sources n1 and n106 are connected to I/V converter 3, negative current $-I(1)$ and $-I(106)$ flow from two current sources, that is, n1 and n106 to I/V converter 3, respectively. Consequently, the current $-I(1)-I(106)$ flows into the input terminal 1a of I/V converter 3. A voltage corresponding to the current of $-I(1)-I(106)$ is generated at analog output terminal 9. As explained above based on Figure 7, since current $I(1)$ and current $I(106)$ are equal to each other,

[0040]

$$I(1) = I(106) \dots (1)$$

$-I(1) - I(106) = -I(1) - I(1) = -2I(1)$. A voltage corresponding to the current of $-2I(1)$ is generated at analog output terminal 9. If the data output from two delay elements T1 and T106 are '0' and '0', the D/A converter shown in Figure 6 generates a voltage corresponding to a current of $-2I(1)$ is generated at analog output terminal 9 in the same way as the D/A converter shown in Figure 1.

[0041]

Then, for the D/A converter shown in Figure 6, if the data output from two delay elements T1 and T106 are '1' and '1', current sources p1 and n1 are connected to the terminal e1 of connecting wire A1 and the terminal h1 of connecting wire B1, respectively. Current sources p106 and n106 are connected to the terminal e106 of connecting wire A106 and the terminal h106 of connecting wire B106, respectively. Consequently, in this case, two current sources, that is, p1 and p106 of the four current sources p1, n1, p106, and n106 are connected to I/V converter 3. When two current sources p1 and p106 are connected to I/V converter 3, positive current $I(1)$ and $I(106)$ flow from said two current sources p1 and p106 to I/V converter 3, respectively. Consequently, the current $I(1) + I(106)$ flows to the input terminal 1a of I/V converter 3. A voltage corresponding to the current of $I(1) + I(106)$ is generated at analog output terminal 9. As explained above based on Figure 7, since current $I(1)$ and current $I(106)$ are equal to each other, based on equation (1), $I(1) + I(106) = I(1) + I(1) = 2I(1)$. A voltage corresponding to $2I(1)$ is generated at analog output terminal 9. That is, when the data output from two delay elements T1 and T106 are '1' and '1', the D/A converter shown in Figure 6 generates a voltage corresponding to a current of $2I(1)$ at analog output terminal 9 in the same way as the D/A converter shown in Figure 1.

[0042]

Then, for the D/A converter shown in Figure 6, if the data output from delay element T1 is '0' and the data output from delay element T106 is '1', current sources p1 and n1 are connected to the terminal g1 of connecting wire B1 and the terminal f1 of connecting wire A1, respectively.

Current sources p106 and n106 are connected to the terminal e106 of connecting wire A106 and the terminal h106 of connecting wire B106, respectively. Consequently, in this case, two current sources, that is, n1 and p106 among the four current sources p1, n1, p106, and n106 are connected to I/V converter 3. When two current sources n1 and p106 are connected to I/V converter 3, current $-I(1)$ and $I(106)$ flow from said two current sources n1 and p106 to I/V converter 3, respectively. Consequently, the current $-I(1) + I(106)$ flows to the input terminal 1a of I/V converter 3. As explained above based on Figure 7, current $I(1)$ and current $I(106)$ are equal. Consequently, based on equation (1), $-I(1) + I(106) = -I(1) + I(1) = 0$, the currents generated by two current sources n1 and p106 cancel each other out. Consequently, a voltage corresponding to zero current is generated at analog output terminal 9. The situation is the same when the data output from delay element T1 is '1' and the data output from delay element T106 is '0'. In other words, a voltage corresponding to zero current is generated at analog output terminal 9. In summary, when the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), the D/A converter shown in Figure 6 generates a voltage corresponding to zero current at analog output terminal 9 in the same way as the D/A converter shown in Figure 1.

[0043]

To summarize what has been described above, for both D/A converters shown in Figures 1 and 6, when the data output from two delay elements T1 and T106 are '0' and '0', a voltage corresponding to $-2I(1)$ is generated at analog output terminal 9. When the data are '1' and '1', a voltage corresponding to $2I(1)$ is generated at analog output terminal 9. When the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), a voltage corresponding to zero current is generated at analog output terminal 9.

[0044]

In other words, for the voltage generated at analog output terminal 9, the voltages generated by data D1 and D106 output from two delay elements T1 and T106 are equal to each other for the D/A converters shown in Figures 1 and 6. Similarly, for the voltage generated at analog output terminal 9, the voltages generated by the data output from two delay elements T2, T105; -, T53, T54 are equal to each other for the D/A converters shown in Figures 1 and 6. Consequently, the D/A converters shown in Figures 1 and 6 output the same analog data.

[0045]

Here, two current sources p1 and n1 will be explained. For the D/A converter shown in Figure 1, if the data output from delay elements T1 and T106 are '0' and '0' or '1' and '1', as described above, one of two current sources p1 and n1 is connected to current path 5, while the

other current source is connected to current path 6. The current flowing in current path 6 is converted into a current with its sign inverted by I/V converter 12 and resistor 13 and is added to the current flowing through current path 5 at connection point C. Consequently, both the current generated by current source p1 and the current generated by current source n1 flow to the input terminal 1a of I/V converter 3. On the other hand, for the conventional D/A converter shown in Figure 6, as explained above, only one of the currents generated by current source p1 or by current source n1 flows to I/V converter 3. Therefore, the current flowing to the input terminal 1a of I/V converter 3 comprised of two current sources p1 and n1 in the D/A converter shown in Figure 1 is twice that of the conventional D/A converter shown in Figure 6. As far as the D/A converter shown in Figure 6 is concerned, since current source pair CS106 used corresponding to delay element T106 conducts the same weighting as current source pair CS1 with respect to data D106 output from delay element T106 (see Figure 7), current source pair CS106 sources a current equal to that of current source pair CS1 to the input terminal 1a of I/V converter 3. In other words, current source CS1 in the D/A converter shown in Figure 1 sources a current obtained by combining those of current sources CS1 and CS106, which perform equal weighting in the D/A converter shown in Figure 6, to the input terminal 1a of I/V converter 3. Similarly, current source CSn ($1 \leq n \leq 53$, n is an integer) in the D/A converter shown in Figure 1 sources a current obtained by combining those of current sources CSn and CS(107-n) ($1 \leq n \leq 53$, n is an integer), which perform equal weighting in the D/A converter shown in Figure 6, to I/V converter 3.

[0046]

As described above, the D/A converter shown in Figure 1 focuses on the fact that current source pairs CSn and CS(107 - n) in the conventional D/A converter shown in Figure 6 execute equal weighting. The D/A converter shown in Figure 1 has a configuration such that the currents of the two current sources that constitute a current source pair are added at connection point C corresponding to the combination of data output from two delay elements. When the D/A converter shown in Figure 1 adopts the aforementioned configuration, the D/A converter shown in Figure 1 can reduce the number of current sources required for the D/A converter while keeping the function of the conventional D/A converter shown in Figure 6. More specifically, in the D/A converter shown in Figure 6, since a group of current source pairs is used corresponding to one delay element, the number of required current sources is a total of 212. On the other hand, in the D/A converter shown in Figure 1, since one group of current source pairs is used corresponding to one group of delay element pairs (two delay elements), only 106 current sources are needed. Consequently, the D/A converter shown in Figure 1 can realize the same function as that of the D/A converter shown in Figure 6 by using half of the current sources.

Therefore, the cost can be cut. Also, since the number of current sources can be reduced by half, the chip area required for mounting the D/A converter can be significantly reduced so that the D/A converter can be miniaturized.

[0047]

In Figure 1, of two switches SP1, SN1; -, SP53, SN53, switches SP1-SP53 correspond to the first switching part mentioned in the present invention, while switches SN1-SN53 correspond to the second switching part mentioned in the present invention. Also, the combination of I/V converter 12 and resistor 13 is equivalent to the sign changing means mentioned in the claims of the present invention. I/V converter 3 is equivalent to the current/voltage converting means mentioned in the claims of the present invention.

[0048]

Figure 2 is a diagram illustrating the D/A converter disclosed in the first embodiment of the second D/A converter of the present invention.

[0049]

For explanation of the D/A converter shown in Figure 2, the same constituent parts as those of the D/A converter shown in Figure 1 are represented by the same respective symbols. Only the differences from the D/A converter shown in Figure 1 will be explained.

[0050]

There are two differences between the D/A converters shown in Figures 1 and 2.

[0051]

As far as the first difference is concerned, the D/A converter shown in Figure 1 has two connecting wires A1, B1; -, A53, B53 connected to current paths 5, 6 corresponding to current source pairs CS1-CS53, and two switches SP1, SN1; -, SP53, SN53 are used to switch the connection between each of two connecting wires A1, B1; -, A53, B53 and the current sources. On the other hand, the D/A converter shown in Figure 2 has connecting wires C1-C53 disconnected from current paths 5, 6 in addition to two connecting wires A1, B1; -, A53, B53 connected to current paths 5, 6, and two switches SP1, SN1; -, SP53, SN53 are used to switch the connection between each of three connecting wires A1, B1, C1; -, A53, B53, C53 and the current sources.

[0052]

As far as the second difference is concerned, in the D/A converter shown in Figure 1, each of two switches SP1, SN1; -, SP53, SN53 switches the connection of the corresponding current source pair corresponding to one data output from one delay element. In the D/A converter shown in Figure 2, however, two switches SP1, SN1; -, SP53, SN53 switch the connection of the corresponding current source pair corresponding to two data output from two delay elements T1, T106; -, T53, T54. In the following, the D/A converter shown in Figure 2 will be explained in detail in the case when connection of current source pairs CS1-CS53 is switched by two switches SP1, SN1; ..., SP53, SN53.

[0053]

Since the case when the connection of current source pairs CS1-CS53 is switched by two switches SP1, SN1; ..., SP53, SN53 can be explained in the same way as for any current source pair of current source pairs CS1-CS53, current source pair CS1 will be used as an example, and the case when the connection of current source pair CS1 is switched by two switches SP, SN1 will be explained.

[0054]

When the data output from two delay elements T1 and T106 that constitute delay element pair PT1 are both '0' (that is, when the data output from two delay elements T1 and T106 are '0' and '0'), switch SP1 is connected to the terminal g1 of connecting wire B1, while the other switch SN1 is connected to the terminal f1 of connecting wire A1 (equivalent to the third mode mentioned in the present invention). As a result, current source p1 of current source pair CS1 is connected to the input terminal 10a of I/V converter 12, while current source n1 is connected to the input terminal 1a of I/V converter 3. When the data output from two delay elements T1, T106 are both '1' (that is, when the data output from two delay elements T1 and T106 are '1' and '1'), the connections of switches SP1 and SN1 are switched such that switch SP1 is connected to the terminal e1 of connecting wire A1, while switch SN1 is connected to the terminal h1 of connecting wire B1 (equivalent to the third mode mentioned in the present invention). As a result, current source p1 is connected to the input terminal 1a of I/V converter 3, while current source n1 is connected to the input terminal 10a of I/V converter 12. When one of the data output from two delay elements T1, T106 is '0' and the other data is '1', the connections of switches SP1 and SN1 are switched such that switch SP1 is connected to the terminal j1 of connecting wire C1, while switch SN1 is connected to the terminal k1 of connecting wire C1 (equivalent to the fourth mode mentioned in the present invention). Other two switches SP2, SN2; -, SP53, SN53

operate in the same way as switches SP1 and SN1 corresponding to the data output from the corresponding two delay elements.

[0055]

For the analog data obtained by inputting digital data into the D/A converter shown in Figure 2 with the aforementioned configuration and the analog data obtained by inputting digital data into the conventional D/A converter shown in Figure 6, if the digital data input are the same, the same analog data will be output. In the following, the case in which the D/A converters shown in Figures 2 and 6 output the same analog data will be explained.

[0056]

When 1-bit data of '0' or '1' is input in series and sequentially into delay element T1 in the D/A converter shown in Figure 2, each of delay elements T1-T106 outputs the data to the next delay element. In this case, the 106 delay elements T1-T106 not only output the data to the next delay element but also output parallel time-series data D1-D106. Two switches SP1, SN1; SP2, SN2; ...; SP52, SN52; SP53, SN53 used corresponding to the current source pairs operate such that each current source is connected to I/V converter 3 or 12, or is disconnected from I/V converters 3 and 12, corresponding to the data output from the two delay elements T1, T106; T2, T105; ...; T52, T55, T53, T54 that constitute the delay element pairs. In this case, the operation of delay element pair PT1 of delay element pairs PT1-PT53 will be explained. If the data output from two delay elements T1 and T106 that constitute said delay element pair PT1 are '0' and '0', current source p1 is connected to the terminal g1 of connecting wire B1, while current source n1 is connected to the terminal f1 of connecting wire A1. Consequently, current source n1 is connected to the input terminal 1a of I/V converter 3, while current source p1 is connected to the input terminal 10a of I/V converter 12. As explained above, for the D/A converter shown in Figure 1, when the data output from two delay elements T1 and T106 are '0' and '0', current source n1 is connected to the input terminal 1a of I/V converter 3, while current source p1 is connected to the input terminal 10a of I/V converter 12. Consequently, for the D/A converter shown in Figure 2, when the data output from two delay elements T1 and T106 are '0' and '0', a voltage corresponding to a current of $-2I(1)$ is generated at analog output terminal 9 in the same way as the D/A converter shown in Figure 1.

[0057]

For the D/A converter shown in Figure 2, if the data output from two delay elements T1 and T106 are '1' and '1', current source p1 is connected to the terminal e1 of connecting wire A1, while current source n1 is connected to the terminal h1 of connecting terminal B1. Consequently,

current source p1 is connected to the input terminal 1a of I/V converter 3, while current source n1 is connected to the input terminal 10a of I/V converter 12. As explained above, for the D/A converter shown in Figure 1, when the data output from two delay elements T1 and T106 are '1' and '1', current source p1 is connected to the input terminal 1a of I/V converter 3, while current source n1 is connected to the input terminal 10a of I/V converter 12. Consequently, for the D/A converter shown in Figure 2, when the data output from two delay elements T1 and T106 are '1' and '1', a voltage corresponding to a current of $2I(1)$ is generated at analog output terminal 9 in the same way as the D/A converter shown in Figure 1.

[0058]

For the D/A converter shown in Figure 2, if the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), current source p1 is connected to the terminal j1 of connecting wire C1, while current source n1 is connected to the terminal k1 of connecting wire C1. In other words, current sources p1 and n1 are connected to connecting wire C1 that is disconnected from current paths 5, 6. Consequently, in this case, no voltage corresponding to current sources p1 and n1 is generated at analog output terminal 9.

[0059]

To summarize what has been described above, when the data output from two delay elements T1 and T106 are '0' and '0', a voltage corresponding to $-2I(1)$ is generated at analog output terminal 9 by current sources p1 and n1. When the data combination is '1' and '1', a voltage corresponding to $2I(1)$ is generated at analog terminal 9. Also, if the data output from two delay elements T1 and T106 are '0' and '1' (or '1' and '0'), a voltage corresponding to zero current is generated at analog output terminal 9.

[0060]

In other words, for the voltage generated at analog output terminal 9, the voltages generated by the data output from two delay elements T1 and T106 are equal to each other for the D/A converters shown in Figures 1 and 2. Similarly, for the voltage generated at analog output terminal 9, the voltages generated by the data output from two delay elements T2, T105; -, T53, T54 are equal for the D/A converters shown in Figures 1 and 2. As explained above, the voltage generated at analog output terminal 9 is the same for the D/A converter shown in Figure 1 and the conventional D/A converter shown in Figure 6. Consequently, the D/A converters shown in Figures 2 and 6 have the same function.

[0061]

Like the D/A converter shown in Figure 1, the D/A converter shown in Figure 2 also focuses on the fact that current source pairs CS_n and CS(107-n) in the conventional D/A converter shown in Figure 6 execute equal weighting. The D/A converter shown in Figure 2 has a configuration such that the currents of the two current sources that constitute a current source pair are added at connection point C corresponding to the combination of data output from two delay elements. By adopting this configuration, it is possible to reduce the number of current sources required for the D/A converter while keeping the function of the conventional D/A converter shown in Figure 6. Like the D/A converter shown in Figure 1, the D/A converter shown in Figure 2 only requires 106 current sources. Consequently, the D/A converter shown in Figure 2 can realize the same function as that of the D/A converter shown in Figure 6 by using half of the current sources. Therefore, the cost can be reduced. Also, since the number of current sources can be reduced by half, the chip area required for mounting the D/A converter can be significantly reduced so that the D/A converter can be miniaturized.

[0062]

For both of the D/A converters shown in Figures 1, 2, current source pairs CS1-CS53 are prepared corresponding to two delay elements (delay element pair). However, there is no need to provide all of current source pairs CS1-CS53 corresponding to two delay elements (delay element pair). For example, any of current source pairs CS1-CS53 can be provided corresponding to two delay elements (delay element pair), while the rest of the current sources are prepared corresponding to one delay element. Even if the current source pairs prepared corresponding to two delay elements (delay element pair) and the current source pairs prepared corresponding to one delay element are both present, since any current source pair is prepared corresponding to the two delay elements (delay element pair), the number of current sources used can be reduced compared with the conventional technology, so that the cost can be reduced and miniaturization can be realized.

[0063]

Also, in Figure 2, of two switches SP1, SN1; -, SP5, SN53, switches SP1-SP53 correspond to the third switching part mentioned in the claims of the present invention. Switches SN1-SN53 correspond to the fourth switching part mentioned in the claims of the present invention.

[0064]

Figures 1 and 2 show examples of a D/A converter, which can reduce the cost while maintaining the same performance as that of the conventional D/A converter having an even number (106) of delay elements (see Figure 6). However, it is also possible to use an odd number of delay elements in the present invention. In the following, a D/A converter, which has the same function as a conventional D/A converter having an odd number of delay elements and is less costly than the conventional D/A converter having an odd number of delay elements, will be explained. In this case, first, the conventional D/A converter having 107 delay elements will be briefly explained with reference to Figure 6. Then, an example of the D/A converter of the present invention having the same function as the conventional D/A converter having 107 delay elements will be explained.

[0065]

When the conventional D/A converter shown in Figure 6 has, in addition to 106 delay elements T1-T106, delay element T107, in order to weight the data D107 output from delay element T107, it is necessary to use a current source pair CS107 comprised of two current sources p107 and n107. In other words, it is necessary to use 107 groups of current sources CS1-CS107.

[0066]

Figure 3 shows an example of the currents generated by said 107 groups of current source pairs CS1-CS107.

[0067]

The abscissa of the diagram represents current source pairs CS1-CS107, while the ordinate represents the current generated by each current source pair.

[0068]

The two current sources p1, n1; ..., p107, n107 that constitute each of current source pair CS1, ... CS107 generate equal currents $I(1)$, ..., $I(107)$. Also, as shown in Figure 3, of the currents $I(1)$, ..., $I(107)$ generated by current source pairs CS1-CS107, the current $I(54)$ generated by current source pair CS54 is the largest.

[0069]

Also, these currents $I(1)$, ..., $I(107)$ satisfy the relationship of $I(n) = I(108-n)$ (wherein, $1 \leq n \leq 53$, n is an integer). For example, if $n = 1$, $I(1) = I(107)$. Consequently, the magnitudes of

currents $I(1), \dots, I(107)$ shown in Figure 3 are symmetrical with respect to the current $I(54)$ generated by current source pair CS54.

[0070]

Figure 4 shows an example of the D/A converter of the present invention having the same function as the conventional D/A converter having current sources that generate currents as shown in Figure 3.

[0071]

Figure 4 shows the D/A converter disclosed in the second embodiment of the second D/A converter of the present invention.

[0072]

Only the difference between the D/A converter shown in Figure 4 and the D/A converter shown in Figure 2 will be briefly explained.

[0073]

The D/A converter shown in Figure 2 has 106 delay elements $T1-T106$ and 53 groups of current source pairs CS1-CS53, while the D/A converter shown in Figure 4 has 107 delay elements $T1-T107$ and 54 groups of current source pairs CS1-CS54. Of these 54 groups of current source pairs, 53 groups of current source pairs CS1-CS53 are prepared corresponding to delay element pairs $PT1-PT53$ comprised of two delay elements, while the remaining single group of current source pair CS54 is prepared corresponding to one delay element $T54$. Also, delay element pair PTn is comprised of two delay elements Tn and $T(108-n)$ (wherein, $1 \leq n \leq 53$, n is an integer).

[0074]

Current sources $p1, n1 ; - ; p54, n54$ generate currents $I(1)-I(154)$ with the positive direction indicated by the arrow on the side of each current source as shown in Figure 4. The two current sources of each of current source pairs CS1-CS54 generate equal currents. For example, as far as current source pair CS1 is concerned, both of the two current sources $p1$ and $n1$ generate current $I(1)$. For other current source pairs CS2, ..., CS54, two current sources $p2, n2 ; \dots ; p54, n54$ generate equal currents $I(2), \dots, I(54)$.

[0075]

Also, each of two switches SP1, SN1; -, SP53, SN53 prepared corresponding to current source pairs CS1-CS53 among current source pairs CS1-CS54 switches the connection between each of current sources p1, n1; -, p53, n53 and three connecting wires A1, C1, B1; -, A53, C53, B53 corresponding to the combination of the two data D1, D107; - D53, D55 output from two delay elements T1, T107; -, T53, T55.

[0076]

Also, two connecting wires A54 and B54 and two stitches SP54 and SN54 are prepared corresponding to current source pair CS54. Said two connecting wires A54 and B54 are connected to current paths 5 and 6, respectively. Switch SP54 is used to switch the connection between current source p54 and two connecting wires A54 and B54 corresponding to the data D54 output from delay element T54. Switch SN54 is used to switch the connection between current source n54 and two connecting wires A54 and B54 corresponding to the data D54 output from delay element T54.

[0077]

The D/A converter shown in Figure 4 has 107 delay elements. In other words, the D/A converter shown in Figure 4 has an odd number of delay elements. Therefore, when 107 delay elements T1-T107 are divided into pairs comprised of two delay elements, one unpaired delay element remains. In the D/A converter shown in Figure 4, delay element T54 is not paired with other delay elements. Consequently, current source pair CS54 is prepared corresponding to this one delay element T54. In order for the D/A converter shown in Figure 4 to have the same performance as that of the conventional D/A converter having current sources that generate currents as shown in Figure 3, the currents generated by current source pairs CS1-CS54 shown in Figure 4 are set as shown in Figure 5.

[0078]

Figure 5 shows the current generated by each current source in Figure 4.

[0079]

The abscissa of the diagram represents each current source p1, n1 ; - ; p54, n54, while the ordinate represents the current generated by each current source.

[0080]

Of the currents $I(1)$ - $I(54)$ generated by current source pairs CS1-CS54 shown in Figure 5, currents $I(1)$ - $I(53)$ have the same magnitudes as the currents $I(1)$ - $I(53)$ generated by current source pairs CS1-CS53 shown in Figure 3, respectively. The current $I(54)$ generated by current source pair CS54 shown in Figure 5 is half of the current $I(54)$ generated by current source pair CS54 shown in Figure 3.

[0081]

By setting the current of each current source as shown in Figure 5, the same function as that of the D/A converter of Figure 4, which has the same function as the conventional D/A converter having current sources that generate the currents shown in Figure 3 can be realized.

[0082]

When the conventional D/A converter has 107 delay elements, it is necessary to use 107 groups of current source pairs (that is, 214 current sources) corresponding to these 107 delay elements. For the D/A converter shown in Figure 4, although current source pair CS54 is prepared corresponding to one delay element T54, the remaining current source pairs CS1-CS53 are prepared corresponding to delay element pairs PT1-PT53. Therefore, only 108 current sources are required. Consequently, by using the D/A converter shown in Figure 4, the same function as that of the conventional D/A converter can be realized, and the number of the required current sources can be reduced. Consequently, the cost can be reduced, and the size miniaturized.

[0083]

Effect of the invention

As explained above, according to the present invention, the cost of the D/A converter can be reduced, and the size miniaturized.

Brief explanation of the figures

Figure 1 is a diagram illustrating the D/A converter disclosed in an embodiment of the first D/A converter of the present invention.

Figure 2 is a diagram illustrating the D/A converter disclosed in the first embodiment of the second D/A converter of the present invention.

Figure 3 is a diagram illustrating an example of the currents generated by 107 groups of current source pairs CS1-CS107.

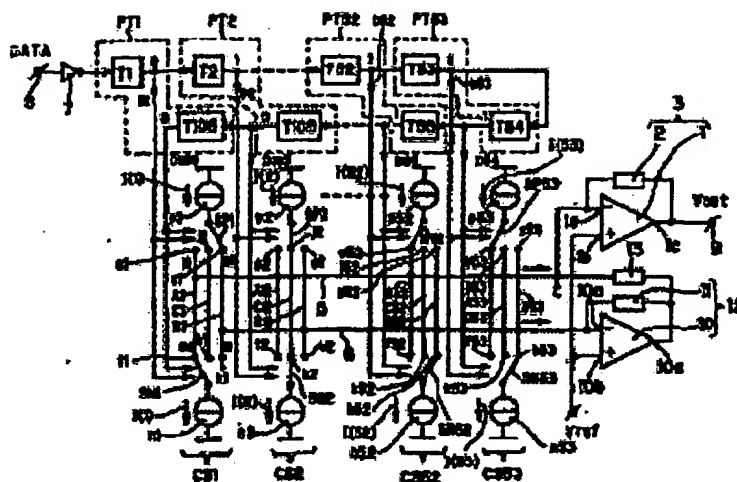


Figure 2

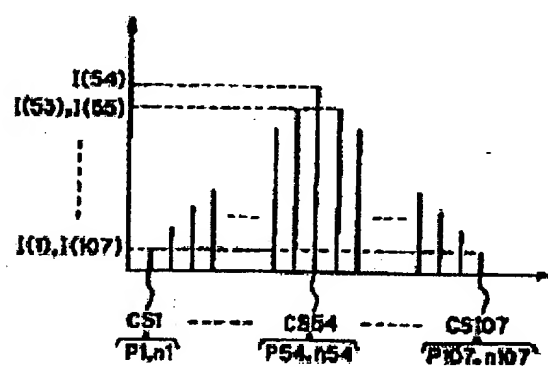


Figure 3

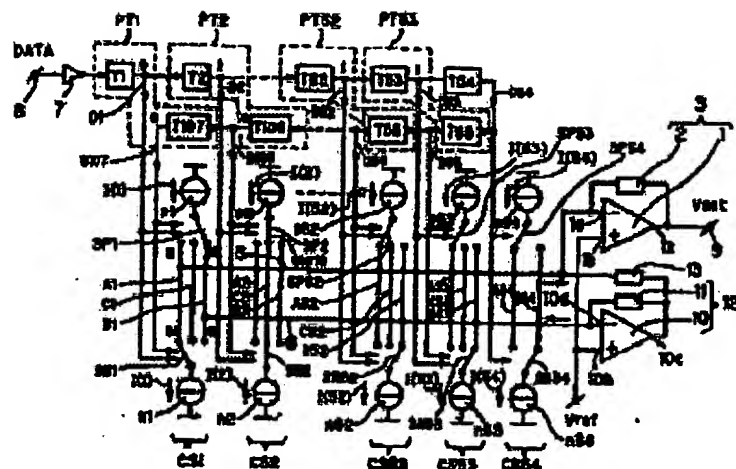


Figure 4

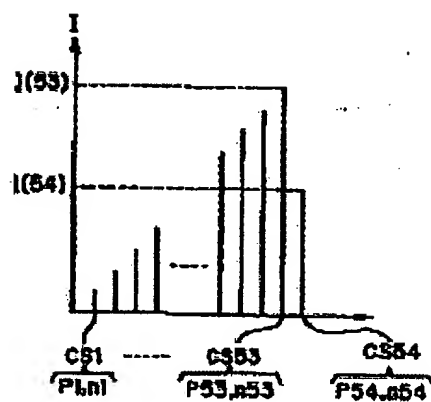


Figure 5

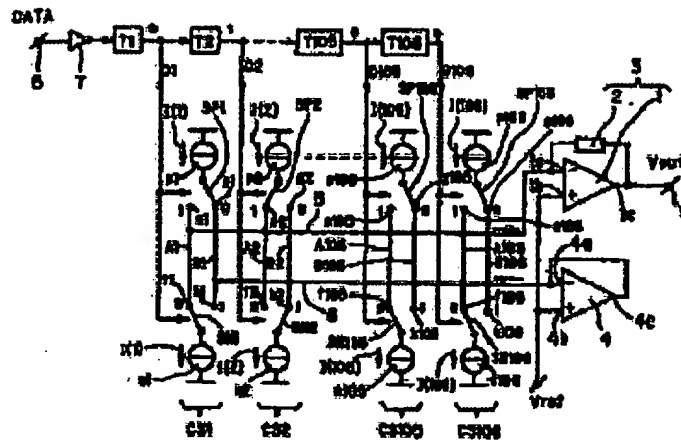


Figure 6

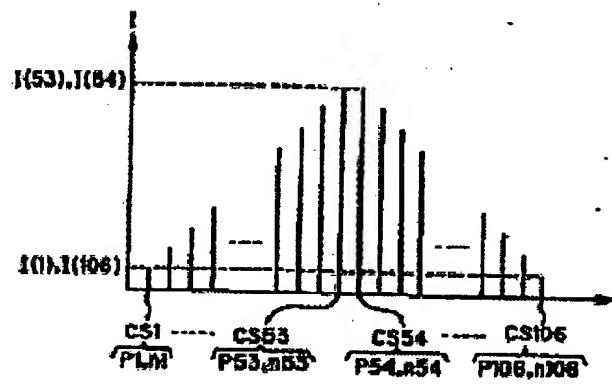


Figure 7



RALPH
MC ELROY TRANSLATION
COMPANY

April 20, 2005

Re: 7037-102530

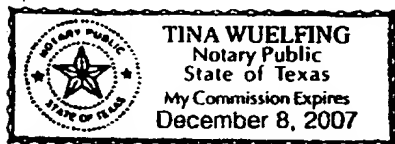
To Whom It May Concern:

This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. P2001-177409A from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray
Operations Manager

Subscribed and sworn to before me this 20th day of April, 2005.



Tina Wuelfing
Notary Public

EXCELLENCE WITH A SENSE OF URGENCY®

910 WEST AVE.
AUSTIN, TEXAS 78701
www.mcelroytranslation.com



(512) 472-6753
1-800-531-9977
FAX (512) 472-4591

Japanese Kokai Patent Application No. P2001-177409A

Job No.: 7037-102530

Ref.: JP2001177409A

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA